T.C.
MİLLÎ EĞİTİM BAKANLIĞI

YENİLENEBİLİR ENERJİ TEKNOLOJİLERİ

DİJİTAL DEVRE ELEMANLARI

Ankara, 2013

- Bu modül, mesleki ve teknik eğitim okul/kurumlarında uygulanan Çerçeve Öğretim Programlarında yer alan yeterlikleri kazandırmaya yönelik olarak öğrencilere rehberlik etmek amacıyla hazırlanmış bireysel öğrenme materyalidir.
- Millî Eğitim Bakanlığınca ücretsiz olarak verilmiştir.
- PARA İLE SATILMAZ.

İÇİNDEKİLER

AÇIKLAMALAR iii
GİRİŞ 1
ÖĞRENME FAALİYETİ–1 2
1. ARİTMETİK DEVRE ELEMANLARI 2
1.1. Toplayıcı (Adder) Devreler 2
1.1.1. Yarım Toplayıcı (Half Adder) 3
1.1.2. Tam Toplayıcı (Full Adder) 4
1.2. Çıkarıcı (Subtractor) Devreler 7
1.2.1. Yarım Çıkarıcı (Half Substractor) 7
1.2.2. Tam Çıkarıcı (Full Substractor) 9
1.3.Çarpma (Multiplier) Devreler 11
1.3.1. Çarpma Entegresi (74284, 74285) 11
1.4. Karşılaştıma (Comparator) Devreler 13
1.4.1. Yarım Karşılaştırıcı (Half Comparator) 13
1.4.2. Tam Karşılaştırıcı (Full Comparator) 14
1.4.3. Karşılaştırıcı Entegresi (7485) 16
UYGULAMA FAALİYETİ 17
ÖLÇME VE DEĞERLENDİRME 19
ÖĞRENME FAALİYETİ–2 21
2. TÜMLEŞİK DEVRE ELEMANLARI 21
2.1. Kodlama ve Kodlayıcılar Tanımı ve İşlevi 21
2.1.1. BCD (Binary Coded Decimal-8421) Kodu 22
2.1.2. Octal (Sekizli) Kod (Octal Code-BCO) 23
2.1.3. Hekzadesimal KodOctal (Hexadesimal Code-BCH) 24
2.1.4. Gray Kod 25
2.2. Kodlama Çeviriciler (Code Converter) ve Entegreleri 27
2.2.1. Kod Çeviriciler 27
2.3. Kodlayıcılar (Enkoder) ve Entegreleri 29
2.4. Kod Çözücüler (Decoder) ve Entegreleri 31
2.5. Çoklayıcılar (Multiplexer) 33
2.6. Azaltıcılar (Demultiplexer) 34
UYGULAMA FAALİYETİ 36
ÖLÇME VE DEĞERLENDİRME 39
ÖĞRENME FAALİYETİ–3 41
3. FLİP - FLOPLAR 41
3.1. Flip-Flop Özellikleri 42
3.2. Flip-Flopların Tetiklenmesi ve Tetikleme Çeşitleri 43
3.3. Flip-Flop Çeşitleri 44
3.3.1. RS Flip-Flopları 44
3.3.2. JK Flip-Flopları 45
3.3.3. T (Toggle) Flip-Flopları 47
3.3.4. D Flip-Flopları 48
3.3.5. Preset/Clear Girişli Flip-Flopları 49
UYGULAMA FAALİYETİ 52
ÖLÇME VE DEĞERLENDİRME 55

ÖĞRENME FAALİYETİ–4 57
4. SAYICILAR 57
4.1. Asenkron Sayıcılar 57
4.1.1. İki Bitlik Asenkron İleri-Geri Sayıcı 58
4.1.2. Resetlemeli Asenkron İleri - Geri Sayıcılar 61
4.2. Senkron Sayıcılar 62
4.2.1. İki Bitlik Senkron İleri Sayıcıların Karno Haritası İle Tasarlanması 63
4.2.2. İki Bitlik Senkron Geri Sayıcıların Karno Haritası İle Tasarlanması 67
UYGULAMA FAALİYETİ 71
ÖLÇME VE DEĞERLENDİRME 74
ÖĞRENME FAALİYETİ–5 75
5. KAYDEDİCİLER 75
5.1. Seri Giriş – Seri Çıkış 75
5.2. Seri Giriş – Paralel Çıkış 76
5.3. Seri Giriş Kaydedici Entegresi (DM74LS164N) 77
5.3.1. DM74LS16N Entegresinin Seri Giriş-Seri Çıkış Olarak Kullanılması 78
5.3.2. DM74LS16N Entegresinin Seri Giriş - Paralel Çıkış Olarak Kullanılması 79
5.4. Paralel Giriş – Paralel Çıkış 79
5.5. Paralel Giriş – Seri Çıkış 80
5.6. Paralel Giriş Kaydedici Entegresi (DM74LS95BN) 81
5.6.1. DM74LS95BN Entegresinin Paralel Giriş–Paralel Çıkış Olarak Kullanılması 83
5.6.2. DM74LS95BN Entegresinin Paralel Giriş–Seri Çıkış Olarak Kullanılması 83
UYGULAMA FAALİYETİ 85
ÖLÇME VE DEĞERLENDİRME 87
MODÜL DEĞERLENDİRME 88
CEVAP ANAHTARLARI 90
KAYNAKÇA 93

AÇIKLAMALAR

ALAN	**Yenilenebilir Enerji Teknolojileri**
DAL/MESLEK	**Yenilenebilir Enerji Teknolojileri Alan Ortak**
MODÜLÜN ADI	**Dijital Devre Elemanları**
MODÜLÜN TANIMI	Dijital elektronikte kullanılan dijital devre elemanları ile ilgili bilgi veren öğrenme materyalidir.
SÜRE	40/16
ÖN KOŞUL	Bu modülün ön koşulu yoktur.
YETERLİK	Dijital devre elemanları ile elektronik devreler kurmak
MODÜLÜN AMACI	Genel Amaç Bu modül ile gerekli ortam sağlandığında, dijital devre elemanlarını tanıyıp katalog bilgilerine uygun olarak dijital elektronik devrelerde kullanabileceksiniz. Amaçlar 1-Dijital devrelerde aritmetik işlemleri gerçekleştiren temel toplayıcı, çıkarıcı, çarpma ve karşılaştırma devrelerini tanıyacak bunlarla temel devreleri tasarlayıp uygulama yapabileceksiniz. 2-Dijital devrelerde kullanılan tümleşik devreleri tanıyıp, gerektiği zaman ihtiyacına uygun tümleşik devreyi seçip, seçtiğiniz tümleşik devrelerle ilgili uygulamaları yapabileceksiniz. 3-Flip-flop entegreleri ve devreleri tanıyacak, özelliklerini bilecek ve bu entegreler ile istediğiniz tipte mantık devresinin tasarımını yapabileceksiniz. 4-Sayıcı devre tasarımı ile ilgili çalışmaları yapabilecek, asenkron ve sayıcı devrelerini tasarlayarak tekniğine uygun şekilde hatasız kurup çalıştıracaksınız. 5-Kaydedicileri tanıyacak kaydedici entegrelerini kullanarak devre tasarımı yapabileceksiniz.
EĞİTİM ÖĞRETİM ORTAMLARI VE DONANIMLARI	Ortam: Elektronik malzemelerle donatılmış elektronik ve dijital elektronik laboratuarı, işletme ortamı Donanım: Projeksiyon, bilgisayar, ölçü aletleri, osiloskop, sinyal jeneratörü, da güç kaynağı, tüm dijital devre elemanları, devre kurmak için breadboard, zil teli, değişik kataloglar, malzeme çantası
ÖLÇME VE DEĞERLENDİRME	Modül içinde yer alan her öğrenme faaliyetinden sonra verilen ölçme araçları ile kendinizi değerlendireceksiniz. Öğretmen modül sonunda ölçme aracı (çoktan seçmeli test, doğru-yanlış testi, boşluk doldurma, eşleştirme vb.) kullanarak modül uygulamaları ile kazandığınız bilgi ve becerileri ölçerek sizi değerlendirecektir.

GİRİŞ

Sevgili Öğrenci,

Günümüzde yarı iletkenlerin ucuzlaması, üretim tekniklerinin gelişerek hızlanması, dijital devrelerin, hassas çalışması, az yer kaplaması ve az güç harcaması gibi özellikler dijital elektronik sistemlerin kullanım alanını çok genişletmiştir. Dijital elektronik devrelerle tasarlanmış başta bilgisayarlar olmak üzere, trafik sinyalizasyon sistemleri, cep telefonları, saatler, hesap makineleri, fotoğraf makineleri, kameralar, akıllı aletler vb. cihazlar toplum yaşamını kolaylaştırması açısından büyük önem taşımaktadır.

Bu modülde göreceğiniz temel matematiksel işlemleri yapan aritmetik devreleri, dijital elektronikte kullanılan tümleşik devre elemanlarını, Flip_flopları ve bunları kullanarak tasarlanan sayıcıları ve en son öğrenme faaliyeti ile kaydedicileri tanımış olacaksınız. Dijital devre elemanları gelişen teknoloji ile birlikte hayatımızın her alanına girmiş cihazlara bir şekilde olmazsa olmaz organları olmuştur. Bu modülde işlenen konuları iyi öğrenmek ileride size çok yararlı bir temel alt yapı kazandıracaktır.

ÖĞRENME FAALİYETİ–1

AMAÇ

Dijital devrelerde aritmetik işlemleri gerçekleştiren temel toplayıcı, çıkarıcı, çarpma ve karşılaştırma devrelerini tanıyacak bunlarla temel devreleri tasarlayıp uygulama yapabileceksiniz.

ARAŞTIRMA

- İkilik sistemde toplama işleminin nasıl yapıldığını araştırınız.
- 7483 toplayıcı entegresinin bacak bağlantılarını ve toplama işlemini gerçekleştirebilecek başka entegreleri araştırınız.
- İkilik sistemde çıkarma işleminin nasıl yapıldığını araştırınız.
- Dijital elektronikte çıkarma ve toplama işlemleri arasındaki ortak noktalar ve farkların neler olduğunu araştırınız.
- 74285, 74284 çarpma işlemini yapan entegrelerinin bacak bağlantılarını ve çarpma işlemini yapan başka entegreleri araştırınız.
- 7485 karşılaştırma entegresinin bacak bağlantılarını ve çarpma işlemini yapan başka entegreleri araştırınız.
- Karşılaştırma işlemlerinin kullanıldığı sistemleri ve devreleri araştırınız.

1. ARİTMETİK DEVRE ELEMANLARI

1.1. Toplayıcı (Adder) Devreler

Dijital elektronikte en önemli kural az maliyetli devreler oluşturmaktır. Bunu yapabilmek için sadeleştirme yöntemleri kullanılır. Devreler sadeleştirme yöntemi ile gereksiz devre elemanları kullanılmadan oluşturulmaya çalışılır. Sadeleştirme işlemleri *Boolean Matematiği* ve *Karno haritaları* yöntemleriyle yapılır.

Sayısal bilgisayarların gerçekleştirdikleri işlemlerden birisi aritmetik işlemlerdir. Aritmetik işlemlerin en temeli ikilik sistemdeki iki bitin toplamasıdır.

Tümleşik devrelerde kullanılan iki temel toplayıcı tipi vardır. İki bitin toplamasını yapan devreye yarım toplayıcı, üç bitin toplanmasını yapan devreye tam toplayıcı devresi adı verilir.

1.1.1. Yarım Toplayıcı (Half Adder)

Yarım toplayıcı devresi ikilik sistemdeki birer bitlik iki sayının toplanmasıyla olur. Bu toplama işlemi dört olasılık üzerine kuruludur.

A=0 ve B=0 olması 0 + 0 = 0
A=0 ve B=1 olması 0 + 1 = 1
A=1 ve B=0 olması 1 + 0 = 1

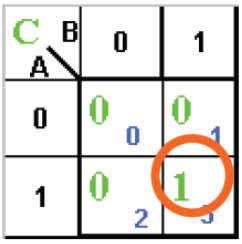
A=1 ve B=1 olması 1 + 1 = 10 onluk sistemdeki ikinin karşılığı ikilik sistemde "10" (bir sıfır)'dır. Bu sonuç iki bit çıktığından taşma olmuştur. Böyle durumlarda taşma olmaması için çıkış fonksiyon sayısı, taşması tahmin edilen bit sayısına göre hesaplanır. Yarım toplayıcı devresinde bir bit taşma olduğundan iki tane çıkış fonksiyonu kullanılır. Bunlar toplama (Sum (S)) ve elde (Carry (C)) fonksiyonlarıdır. Elde biti taşma olup olmadığını göstermek için kullanılır.

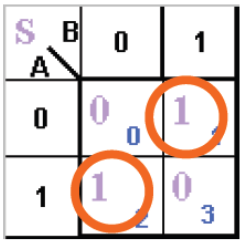
1.1.1.1. Yarım Toplayıcı Devrenin Tasarımı

Yarım toplayıcı devresini çizebilmemiz için lojik devre tasarlama adımlarını takip etmemiz gerekmektedir. Takip edeceğimiz adımlar:

Devrenin doğruluk tablosunu hazırlayıp doğruluk tablosuna göre her iki çıkışın ***Karno haritalarını* çizeceğiz,**

kare nu	A	B	C elde	S toplam
0	0	0	0	0
1	0	1	0	1
2	1	0	0	1
3	1	1	1	0





Tablo 1.1: Yarım toplayıcı devresinin doğruluk tablosu ve çıkış fonksiyonlarının Karno haritaları

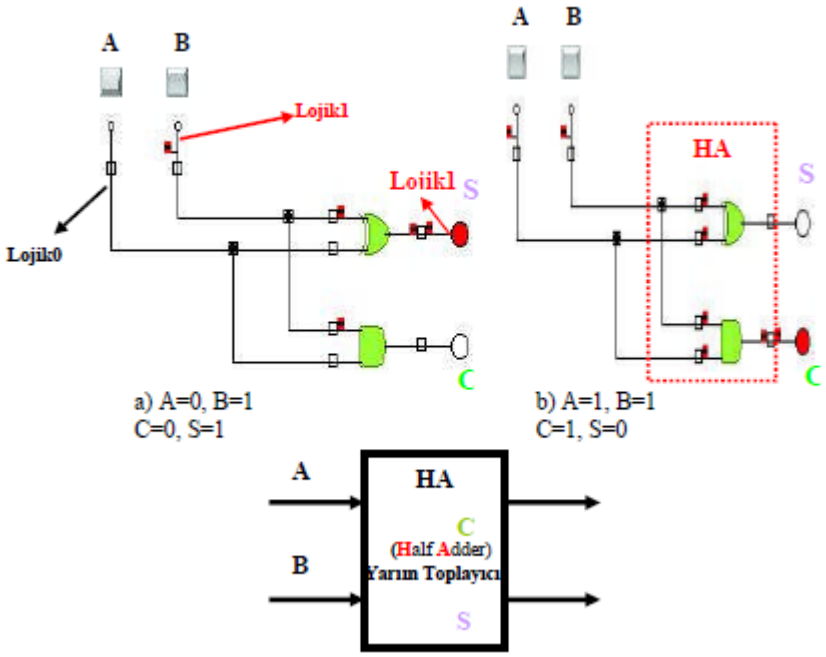
Karno haritalarının sadeleştirmelerini yapıp çıkış fonksiyonlarını bulacağız.

Elde çıkışının fonksiyonu C= AB

Toplam çıkışının fonksiyonu S=AB'+A'B toplam fonksiyonunu iki and ve bir or kapısı olmak üzere üç kapı yerine EX-OR kapısıyla sadece tek bir kapıyla yapabiliriz.

Böylece bütün devre iki kapıyla yapılmış olur. **S=AB'+A'B=A $\oplus$ B**

Çıkış fonksiyonlarına göre devrenin tasarımını çizeceğiz ve çizdiğimiz devreyi bilgisayar üzerinde simülatör programlarda deneyeceğiz.



Şekil 1.1: Yarım toplayıcı devrenin simülatör (crocodile physics) programındaki uygulaması ve sembolik entegre gösterimi

1.1.2. Tam Toplayıcı (Full Adder)

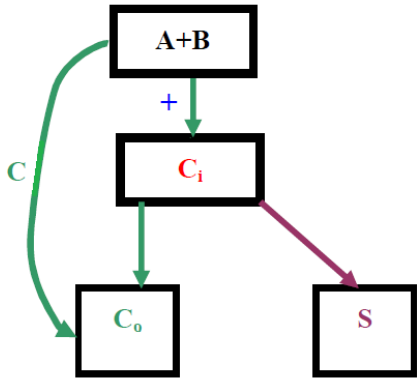
Bir bitlik iki sayıyı toplayan devrelerin yarım toplayıcı olduğunu gördünüz. Bir bitlik üç sayıyı toplayan devrede tam toplayıcı (full adder) devresidir. Tam toplayıcı devresinin üç girişi vardır. İlk iki giriş toplama yapılması istenen iki bir bitlik sayıyı, üçüncü düşük değerlikli bitte bir önceki toplamadan (A+B) gelen elde (carry input) bitidir. Üç girişin maksimum alabileceği değer birdir ve üçünün bir olması durumda çıkış 1+1+1= (11) 2'dır. Bu yüzden devrenin iki çıkış fonksiyonu vardır. Bunlardan biri toplam (sum) diğeri elde (carry out) çıkışıdır. S=A+B+Ci şeklinde formül haline getirilebilir.

1.1.2.1. Tam Toplayıcı Devrenin Tasarımı

Tam toplayıcı devresini çizebilmemiz için lojik devre tasarlama adımlarını takip etmemiz gerekmektedir. Takip edeceğimiz adımlar:

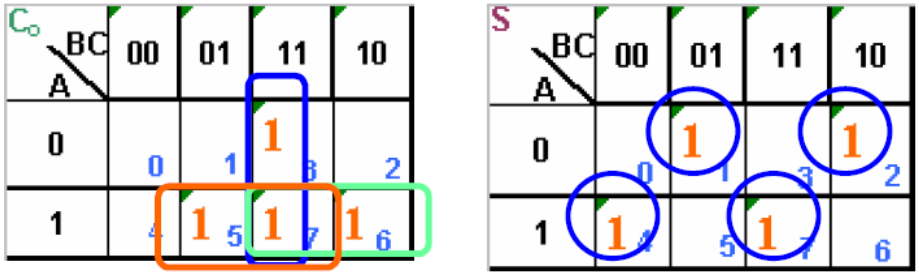
- Devrenin doğruluk tablosunu hazırlayacağız.
- Co, S=A+B+Ci işleminden sonra oluşan eldeyi temsil eder. Girişteki elde (Ci) A+B işleminden gelen toplam değeriyle toplanır. A+B işleminde elde oluşursa varsa direk Co'ı bir olur.

hücre no	A	B	C_i	elde çıkışı C_o	toplam S
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1



Şekil 1.2: Tam toplayıcı devresinin doğruluk tablosu ve tam toplama işlem basamakları

- Her iki çıkışın *Karno haritalarını* çizeceğiz.



Tablo 1.2: Tam toplayıcı devresinin çıkış fonksiyonlarının karno haritaları

- Karno haritalarının sadeleştirmelerini yapıp çıkış fonksiyonlarını bulacağız.

Tam toplayıcı devresinin sadeleştirilmiş toplam çıkış fonksiyonu;

S= AB'Ci'+ABCi+A'B'Ci+A'BCi' (Daha az kapı kullanabilmek için ayrı ayrı Ci ve Ci' ortak parantezlerine aldık.)

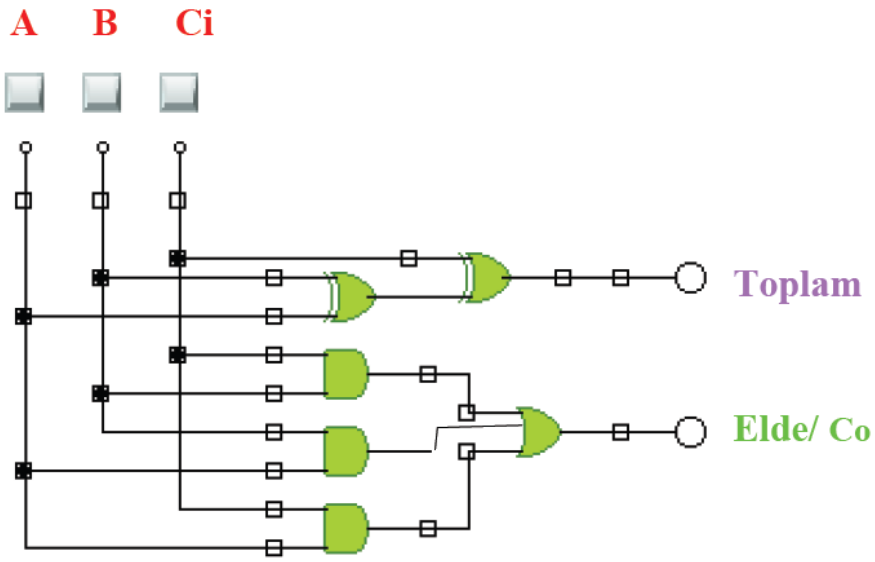
S= Ci(AB+A'B') + Ci' (AB'+A'B) (Birinci parantez EX-NOR = (EXOR)' ikinci parantez EX-OR kapısının formülünü göstermektedir. Bu yüzden aşağıdaki gibi yazılabilir.)

S=Ci(A $\oplus$ B)' + Ci'(A $\oplus$ B) bu ifadede (A $\oplus$ B) gördüğümüz yere X yazdığımızı varsayalım.

S= CiX'+Ci'X denklemini buluruz bu da bir EX-OR kapısıdır. S= Ci $\oplus$ X Son olarak X gördüğümüz yere (A $\oplus$ B) 'yi tekrar geri yazdığımızda, **S=Ci (A $\oplus$ B)=(A $\oplus$ B) $\oplus$Ci** toplama fonksiyonu bulunmuş oldu (Demorgan kurallarından değişme özelliği).

Tam toplayıcı devresinin sadeleştirilmiş elde çıkışı **Co= AC+AB+Bci** olarak bulunur.

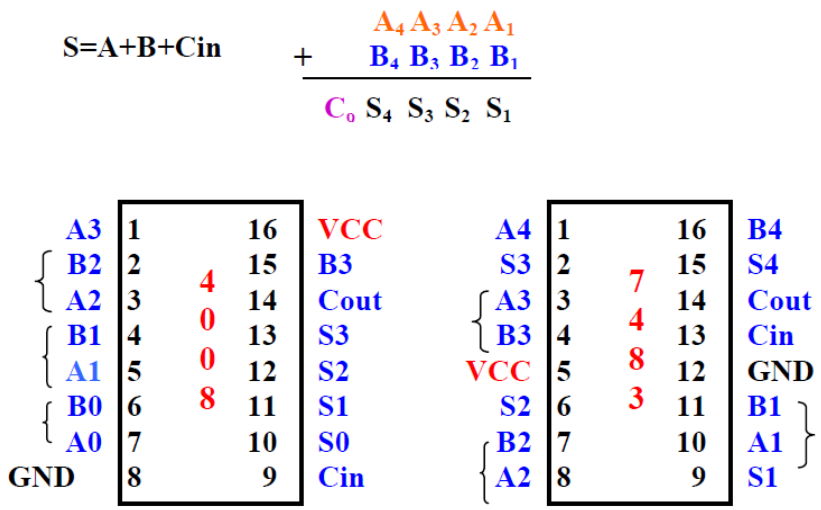
Çıkış fonksiyonlarına göre devrenin tasarımını çizeceğiz ve çizdiğimiz devreyi bilgisayar üzerinde simülatör programlarda deneyeceğiz.



Şekil 1.3: Tam toplayıcı devresi

Bu haliyle devremiz toplam yedi kapıyla tasarlanıyor. Lojik devre tasarlamanın en önemli kuralı az maliyetli olması yani az kapı kullanılmasıydı. Bu devre Co çıkışının Karno haritasını grupladığımızda normalde altı kapı ile yapılırken Co çıkışına daha farklı bir gruplama yapılırsa beş kapı ile de yapılabilir.

7483 entegresinde yapılan toplama işlemi paralel toplama mantığına göre yapılmaktadır. Paralel toplamada her bir iki biti toplamak ve oluşan eldeyi bir sonraki iki bite aktarmayı sağlamak için tam toplayıcılar kullanılır. İki dört bitlik sayının toplanması için dört tane tam toplayıcı kullanılması gerekmektedir. Bu entegre ikilik sistemdeki dört bitlik iki sayının toplamasını yapar. Toplamının doğru olması için C in girişi lojik 0 olmalıdır. Toplam (S) ve elde (C out) çıkışlarına LED bağlanacaktır.



Şekil 1.4: Dört bitlik iki sayıyı toplayan-çıkaran entegrelerin bacak bağlantıları

1.2. Çıkarıcı (Subtractor) Devreler

Çıkarma devreleri toplama devresine benzer. Toplayıcı devresinde toplam çıkışı ile fark (difference) çıkışı; elde çıkışı ile de borç (borrow) çıkışı yer değiştirince yarım çıkarıcı devresi elde edilmiş olur.

1.2.1. Yarım Çıkarıcı (Half Substractor)

Yarım çıkarıcı devresi ikilik sistemdeki birer bitlik iki sayının çıkartılmasıyla olur.

Çıkarma işlemleri de toplama işlemi gibi dört olasılık üzerine kuruludur. Bu devrenin doğruluk tablosu basit çıkarma kurallarına göre düzenlenir.

A=0 ve B=0 olması 0 - 0 = 0
A=1 ve B=0 olması 1 - 0 = 1
A=1 ve B=1 olması 1 - 1 = 0

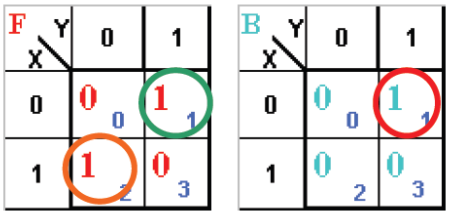
A=0 ve B=1 olması 0 – 1 = 1 (borç 1) Sıfırdan bir çıkmayacağı için bir sonraki bitten bir borç alınır ve ikilik tabanındaki 10 sayısından bir çıkarılır. Alınan borcun doğruluk tablosunda gösterilmesi gerekir bunun için alınacak borçlar içinde bir çıkış fonksiyonu oluşturulur.

1.2.1.1. Yarım Çıkarıcı Devre Tasarımı

Yarım çıkarıcı devresini çizebilmemiz için lojik devre tasarlama adımlarını takip etmemiz gerekmektedir. Takip edeceğimiz adımlar:

Devrenin doğruluk tablosunu hazırlayıp doğruluk tablosuna göre her iki çıkışın Karno haritalarını çizeceğiz.

kare nu	X	Y	Fark difference	borç borrow
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	0



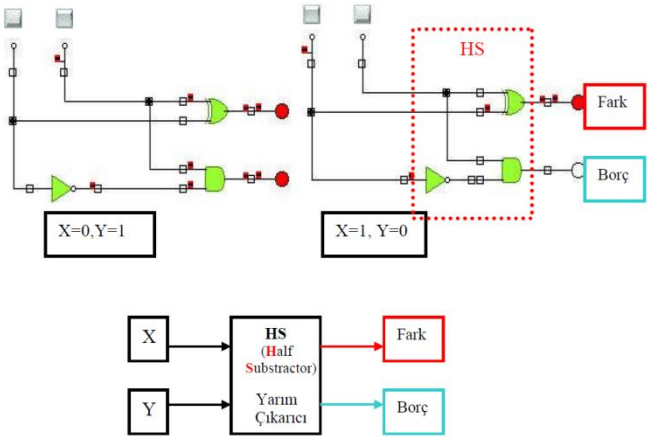
Tablo 1.3: Yarım çıkarıcı deresinin doğruluk tablosu ve fark ve borç çıkışlarının Karno haritaları

Karno haritalarının sadeleştirmelerini yapıp çıkış fonksiyonlarını bulacağız.

Fark çıkışına baktığımızda doğruluk tablosuna gerek olmadan da artık sonucu görebilirsiniz. Çıkışı 0-1-1-0 olan kapı EX-OR kapısıdır. Eğer kapıları iyi bilmiyorsanız yarım toplayıcı devresinde olduğu gibi Karno haritasından gerekli sadeleştirmeleri yaparak da doğru sonucu bulabilirsiniz.

- Fark çıkışı (Difference) **Fark= XY'+X'Y= X $\oplus$Y**
- Borç çıkışı (Borrow) **Borç=X'Y** bulunur.

Çıkış fonksiyonlarına göre devrenin tasarımını çizeceğiz ve çizdiğimiz devreyi bilgisayar üzerinde simülatör programlarda deneyeceğiz.



Şekil 1.5: Yarım çıkarıcı devresinin simülatör (crocodile physics) programındaki uygulaması ve sembolik entegre gösterimi

1.2.2. Tam Çıkarıcı (Full Substractor)

Daha düşük değerlikli kademeden bir borç alınmış olabileceği dikkate alınarak iki biti birbirinden çıkaran tümleşik (kombinasyonel) bir devredir ve üç giriş ile iki çıkıştan oluşur **(Mano, 2000, s.134).** Bu devre için *b* değişkeni ile borç çıkışının karıştırılmaması için giriş değişkenleri olarak X,Y,Bi çıkış değişkenleri olarak ta F (fark) ve Bo (borç çıkışı) kullanılacağız. X çıkarılan sayı, Y çıkan sayı, Bi'de daha önce alınan borcu gösterecektir.

1.2.2.1. Tam Çıkarıcı Devre Tasarımı

Yarım çıkarıcı devresini çizebilmemiz için lojik devre tasarlama adımlarını takip etmemiz gerekmektedir. Takip edeceğimiz adımlar:

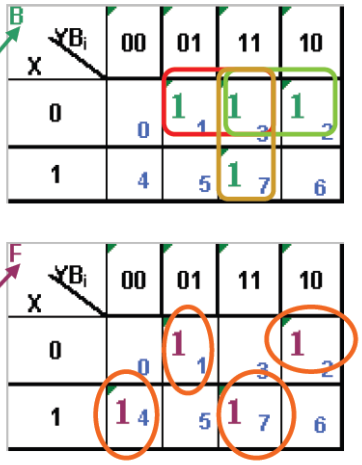
- Devrenin doğruluk tablosunu hazırlayıp doğruluk tablosuna göre her iki çıkışın Karno haritalarını çizeceğiz.

- Sadece bu çıkarma devresi için özel bir durum olarak tam çıkarıcı devrenin doğruluk tablosunu onluk tabanda çıkarma yapıyormuş gibi düşünüp çıkışları (X-Y)-Bi formülüne göre doldurabilirsiniz. İşlem sırasındaki sırayla gerçekleşen çıkarma işlemlerinden herhangi bir tanesinden sonra sonucun negatif çıkması borç alınmış, yani borç çıkışının bir olması demek olacaktır. Tablodaki X=0, Y=1, Bi =1 seçeneğini inceleyelim. İlk önce (0-1)'den parantez içinden negatif bir değer çıkar bu yüzden borç çıkışı Bo =1 olacaktır. Bir sonraki adım olan (-1+1)işleminin sonucu da bize farkı (F=0) verecektir. X=1, Y=0, Bi =1 seçeneğinde (1-0) parantez içindeki işlemden sonuç pozitif (+1), daha sonra ki işlemde de 1- 1 sonuç sıfır çıkacaktır. Negatif bir sonuç çıkmadığı için borç çıkış fonksiyonu sıfır Bo = 0, fark çıkışı da işlemin sonucunda sıfır çıktığı için sıfır F=0 olacaktır.

hücre no	X	Y	B_i	Fark difference	borç borrow
0	0	0	0	0	0
1	0	0	1	1	1
2	0	1	0	1	1
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	0
6	1	1	0	0	0
7	1	1	1	1	1

$B_o = YB_i + X'Y + X'B_i$

$F = XY'B_i' + X'YB_i' + XYB_i + X'Y'B_i$



Tablo 1.4: Tam çıkarıcı devresinin doğruluk tablosu ve çıkış fonksiyonlarının karno haritaları

- Karno haritalarının sadeleştirmelerini yapıp çıkış fonksiyonlarını bulacağız.

- Toplayıcı devresinde yaptığımız işlemleri fark çıkışı içinde yapacağız. Tablo 1.4'teki sadeleştirilmiş çıkışlara göre bu devre için toplam 12 kapı gerekmektedir. F çıkışı EX-OR kapılarıyla yapılırsa devre yedi kapıyla yapılabilecek. Bu yüzden F çıkışını en sade hale getireceğiz ve devreyi daha az kapılı haliyle tasarlayacağız.

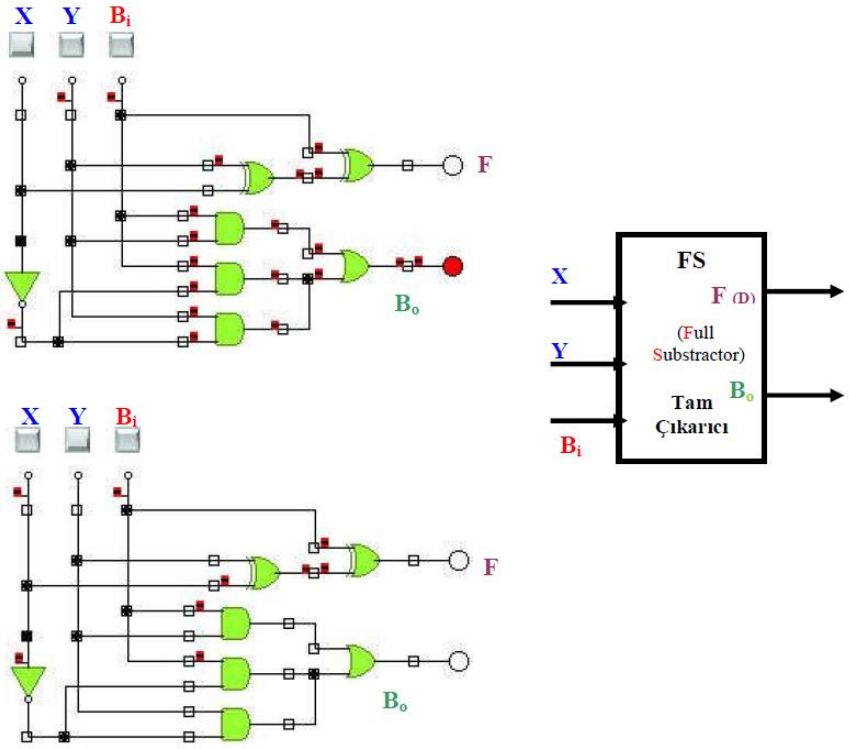
F= XY'Bi'+X'YBi'+ XYBi +X'Y'Bi Bi ve Bi' ortak parantezlerine alacağız.

F= Bi (XY +X'Y') + Bi ' (X'Y+ XY') ilk parantez iki girişli EX-NOR kapısı, ikinci parantezde iki girişli EX-OR kapısıdır.

F= Bi (X $\oplus$ Y)' +Bi ' (X $\oplus$ Y)

F= X $\oplus$Y $\oplus$ Bi bulunur.

Çıkış fonksiyonlarına göre devrenin tasarımını çizeceğiz ve çizdiğimiz devreyi bilgisayar üzerinde simülatör programlarda deneyeceğiz.



Şekil 1.6: Tam çıkarıcı devresinin simülatör (crocodile physics) programındaki uygulaması ve sembolik entegre gösterimi

Devrenin Bo çıkışında kullanılan OR kapısı üç girişli olmalıdır. Simülatör programda üç girişli OR olmadığından devreye bu şekilde bağlanmıştır fakat bu tarz bağlama OR kapısının özelliğinden dolayı sonucu etkilememektedir.

1.3.Çarpma (Multiplier) Devreler

Bir bitlik iki sayının çarpılmasında hatırlamamız gereken en önemli nokta çarpmada sıfırın yutan eleman, birinde etkisiz eleman olduğudur. İki tane bir bitlik sayının dört olasılığı vardır bunlar;

0*0=0
0*1=0
1*0=0

1*1=1 görüldüğü üzere çıkış bir bit olacaktır. Ne borç ne de elde çıkışı gibi bir çıkışa ihtiyaç vardır.

Lojik devre tasarım sırasına göre sorunun cevabını düşündükten sonraki ilk işlem olarak tablosunu daha sonrada Karno haritasını çizip sadeleştirmeyi yapacağız.

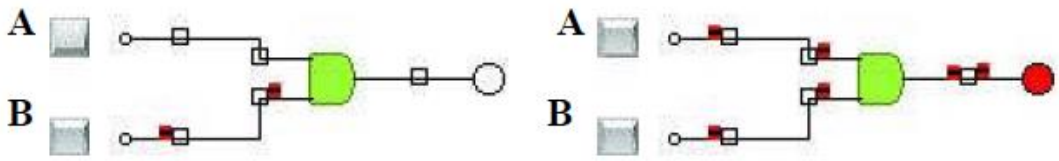
kare nu	A	B	A*B
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Ç A \ B	0	1
0	0 (0)	0 (1)
1	0 (2)	1 (3)

Çarpma= AB

Tablo 1.5: Bir bitlik iki sayıyı çarpan devrenin doğruluk tablosu ve Karno haritası

- Doğruluk tablosuna bakıldığında Karno haritası çizilmeden de çarpma işleminin çıkışının and kapısı çıkışını verdiği görülmektedir.



Şekil 1.7: Bir bitlik iki sayıyı çarpan devre

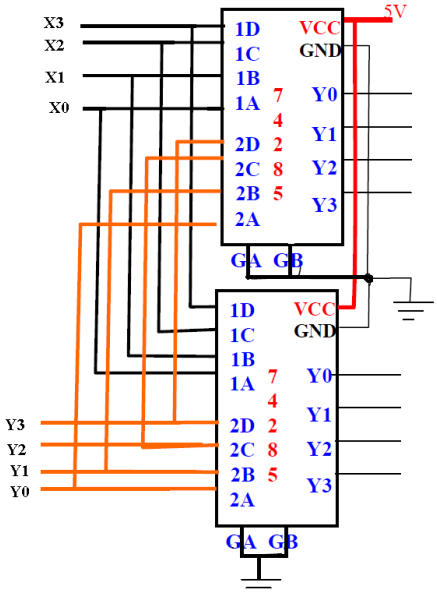
1.3.1. Çarpma Entegresi (74284, 74285)

İkilik sistemdeki çarpma işlemlerini en hızlı gerçekleştiren devreler paralel çarpma devreleridir.

74285 entegresi kullanarak yapacağımız çarpma devresinde dikkat etmemiz gereken önemli bir nokta, bu devrenin çıkış sayısını bilmemizdir. Dört bitlik en büyük iki sayıyı çarptıktan sonra çıkan sayı sekiz bittir. Buna göre bu devrenin çıkışı sekiz bit olmalıdır. 74285 entegresinin bacak bağlantılarına bakıldığında dört çıkışı olduğu görülmektedir. Sekiz çıkışı elde etmek için iki adet entegreyi birbirine paralel bağlamak gerekmektedir.

Şekil 1.8: Dört bitlik iki sayıyı çarpan entegrenin (74285) bacak bağlantıları

- Sekiz bitlik sonuç için iki adet 74285 kullanmamız gerekecektir.
- Birinci ve ikinci entegredeki 1A, 1B, 1C, 1D girişlerine dört bitlik birinci sayının girişleri bağlanır. Birinci ve ikinci entegredeki 2A, 2B, 2C, 2D girişlerine dört bitlik ikinci sayının girişleri bağlanır.
- Paralel bağlı iki entegrede de girişler aynı olacağından sonuç etkilenmeyecektir.
- Her iki entegrenin Vcc uçlarına 5V'a, GND uçlarına da toprağa bağlanacaktır.



Şekil 1.9: Dört bitlik iki sayıyı çarpan devrenin 74285 entegresiyle yapılmış hali

1.4. Karşılaştıma (Comparator) Devreler

Karşılaştırma işlemi, girişlerden birinin (A) diğerine (B) göre durumunun çıkışı oluşturmasıdır. Karşılaştırma devresinin üç çıkışı vardır. Bir girişin diğerinden büyük (A>B), küçük (A<B) ya da iki girişin birbirine eşit (A=B) olduğu durumları gösterir.

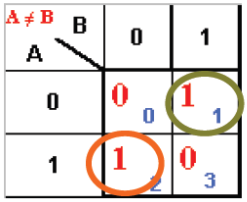
Aritmetik devrelerde önemli rol oynar. Toplama ve çıkartma yapan devrelerde; girişleri aynı ve ya farklı iken çıkış vermesi beklenen ve buna göre başka bir sitemi kontrol eden devrelerde; ikilik sistemde adres karşılaştırması yapan devrelerde kullanılabilir.

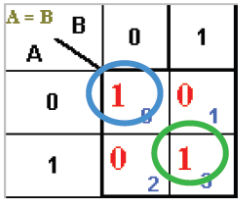
1.4.1. Yarım Karşılaştırıcı (Half Comparator)

Yarım karşılaştırma işlemi bir bitlik iki sayıyı birbiriyle karşılaştıran devredir. Bu devrenin çıkışı sayıların birbirine eşit mi yoksa değimli olmasına göre belirlenir. Bunlara göre bu devrenin iki girişi (A,B) ikide çıkışı (A=B, A ≠ B) bulunmaktadır. Yarım karşılaştırıcı devre tasarımı yaparsak;

Devrenin doğruluk tablosunu hazırlayıp doğruluk tablosuna göre her iki çıkışın Karno Haritalarını çizeceğiz.

Hücre nu	A	B	A=B	A ≠ B
0	0	0	1	0
1	0	1	0	1
2	1	0	0	1
3	1	1	1	0





Tablo 1.6: Yarım karşılaştırıcı devrenin doğruluk tablosu ve Karno haritaları

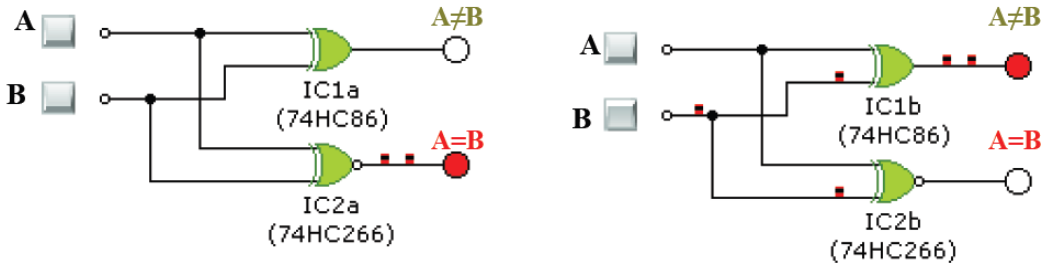
Karno haritalarının sadeleştirmelerini yapıp çıkış fonksiyonlarını bulacağız.

$(A \neq B) = A'B + B'A = A \oplus B$

$(A=B) = A'B' + AB = (A \oplus B)' = A \odot B$

En basit karşılaştırmayı yapan kapının EX-OR kapısı olduğu görülmektedir.

Çıkış fonksiyonlarına göre devrenin tasarımını çizeceğiz, ve çizdiğimiz devreyi bilgisayar üzerinde simülatör programlarda deneyeceğiz,



Şekil 1.10: Yarım karşılaştırıcı devresinin simülatör programda (crocodile tecnology) uygulanması

1.4.2. Tam Karşılaştırıcı (Full Comparator)

Tam karşılaştırıcı devrelerde bir bitlik iki giriş (A,B) ve üç çıkış (A>B, A<B, A=B) bulunur. Tam karşılaştırıcı tasarımı yapmak için;

Devrenin doğruluk tablosunu hazırlayacağız.

Hücre nu	A	B	A=B	A>B	A<B
0	0	0	1	0	0
1	0	1	0	1	0
2	1	0	0	0	1
3	1	1	1	0	0

Tablo 1.7: Tam karşılaştırıcı devrenin doğruluk tablosu

- **Devrenin doğruluk tablosuna göre iki çıkışın Karno haritaları çizilir.**

A = B	B 0	B 1
A 0	1 (0)	0 (1)
A 1	0 (2)	1 (3)

A > B	B 0	B 1
A 0	0 (0)	0 (1)
A 1	1 (2)	0 (3)

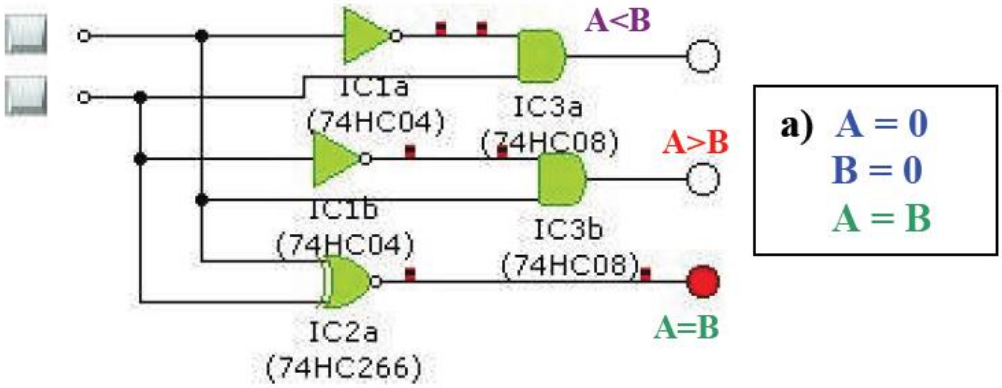
A < B	B 0	B 1
A 0	0 (0)	1 (1)
A 1	0 (2)	0 (3)

Tablo 1.8: Tam karşılaştırıcı devrenin Karno haritası

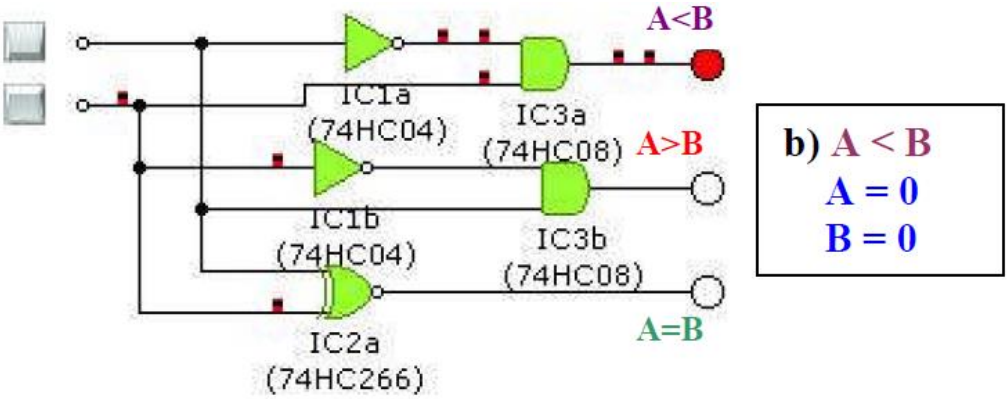
Karno haritalarının sadeleştirmelerini yapıp çıkış fonksiyonlarını bulacağız.

- **(A>B) = AB'**
- **(A=B) = A'B' + AB = (A B)' = A B**
- **(A<B) = A'B**

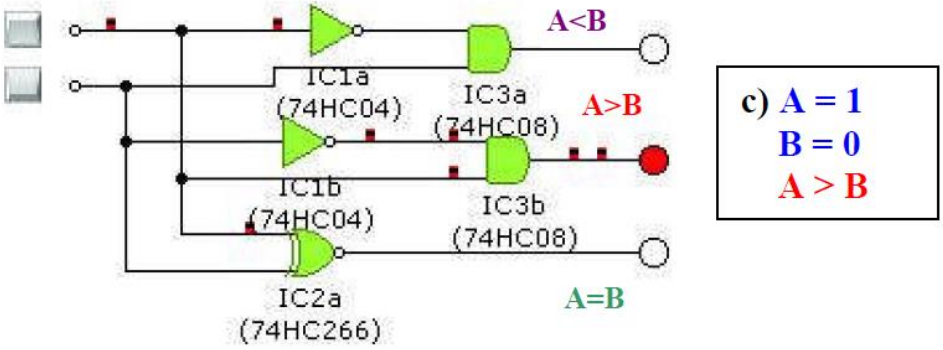
Çıkış fonksiyonlarına göre devrenin tasarımını çizeceğiz ve çizdiğimiz devreyi bilgisayar üzerinde simülatör programlarda deneyeceğiz.



Şekil 1.11(a): Tam karşılaştırıcı devresinin simulatör programda (crocodile tecnology) uygulanması ve çalıştırılması



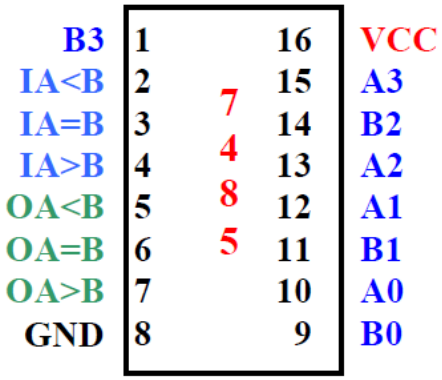
Şekil 1.11(b): Tam karşılaştırıcı devresinin simulatör programda (crocodile tecnology) uygulanması ve çalıştırılması



Şekil 1.11(c): Tam karşılaştırıcı devresinin simulatör programda (crocodile tecnology) uygulanması ve çalıştırılması

1.4.3. Karşılaştırıcı Entegresi (7485)

7485 entegresi dört bitlik iki sayıyı karşılaştırmak için kullanılır.



Şekil 1.12: Dört bitlik iki sayıyı karşılaştıran entegrenin (7485) bacak bağlantıları

UYGULAMA FAALİYETİ

Dirençlerin yapısını, çeşitlerini, renk kodlarını tanıyarak analog ve direncin dijital ölçü aletleriyle ölçümünü ve istenen özellikte direnç seçimi yapınız.

İşlem Basamakları	Öneriler
➢ 4 bitlik iki sayıdan birini diğerinden çıkaran devreyi 2'ye tümleme yöntemini ve 7483 entegresini kullanarak kurunuz.	➢ İkili sistemde 2'ye göre tümlemenin nasıl yapıldığını öğrenmeniz bu soruyu daha kolay çözmenize yardımcı olacaktır.
➢ Devrenizi kâğıt üzerinde çizimini yapınız.	➢ Devre çizimini yapmadan önce öğrenme faaliyetiniz hızlıca gözden geçiriniz.
➢ Devre elemanlarını belirleyiniz.	➢ Devre elemanlarını kataloglarını incelemeniz size yarar sağlayacaktır.
➢ Devrenizi elektronik devre bordu üzerinde kurunuz.	➢ Devreyi kurduktan sonra bağlantılarınızı doğru yaptığınızı ve entegrelere enerji verdiğinizi kontrol ediniz.

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Devrenizde kullanacağınız entegreyi seçebiliyor musunuz?		
2. Devre şemasını doğru bir şekilde çizebiliyor musunuz?		
3. Devrede kullanacağınız elemanları seçebiliyor musunuz?		
4. Devrenizi bord üzerinde rahatlıkla kurabiliyor musunuz?		
5. Devrenizin çalıştığını doğruluk tablosundan takip edebiliyor musunuz?		

DEĞERLENDİRME

Değerlendirme sonunda "Hayır" şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız "Evet" ise "Ölçme ve Değerlendirme" ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1) (3+5)10 =(_ _ _ _)2 toplam işleminin ikilik sistemdeki sonucu aşağıdakilerden hangisidir.
A) 0008 B) 1000 C) 1010 D) 0100

2) 4 bitlik toplam yapan entegre aşağıdakilerden hangisidir.
A)74285 B) 7483 C) 7485 D) 74284

3) Bir bitlik iki sayının toplamını bulan devrenin adı nedir?
A) Tam toplayıcı B) Yarım toplayıcı
C) Yarım çıkarıcı D) Karno haritası

4) Bir bitlik iki sayıyı birbirinden çıkaran devre aşağıdakilerden hangisidir?
A) Tam çıkarıcı B) Yarım çıkarıcı
C) Tam toplayıcı D) Çarpıcı

5) Çıkarma işlemlerinde kullanılan 74--- serisi entegre aşağıdakilerden hangisidir?
A) 7485 B) 4070 C) 7483 D) 74284

6) Onluk sistemdeki 9-7 = ... İşleminin ikilik sistemde gösterimi ve sonucu aşağıdakilerden hangisidir? Sonuç en son işlemi yapılmamış elde çıkışıyla olan haliyle verilmiştir.
A) 11001 B) 00111 C) 10001 D) 01110

7) Birin komplementine göre dört bitlik paralel çıkarma işlemi yapan devrede hangi kalıp sembolik tümleşik devre kullanılır?
A) Tam toplayıcı B) Yarım toplayıcı
C) Yarım çıkarıcı D) Not kapısı

Aşağıdaki cümlelerin başında boş bırakılan parantezlere, cümlelerde verilen bilgiler doğru ise D, yanlış ise Y yazınız.

8) ( ) Tam toplayıcı devre birer bitlik iki sayının toplamını veren devredir.

9) ( ) Çarpma devrelerini tam toplayıcılar kullanılarak yapılabiliriz.

10) ( ) Karşılaştırma devrelerini sistem kontrollerinde kullanabiliriz.

11) ( ) Eksik giriş- çıkış sayısına göre tasarlanmış devreyi en baştan tekrar tasarlamamız gerekir.

12) ( ) 74*** serisinden 7485 entegresi karşılaştırma işlemi yapmak için kullanılır.

13) ( )74*** serisinden 7483 entegresi çıkarma işlemi yapmak için kullanılır.

14) ( )Paralel toplamada her bir iki biti toplamak ve oluşan eldeyi bir sonraki iki bite aktarmayı sağlamak için tam toplayıcılar kullanılır.

15) ( )Tam çıkarıcı daha düşük değerlikli kademeden bir borç alınmış olabileceği dikkate alınarak iki biti birbirinden çıkaran tümleşik (kombinasyonel) bir devredir.

16) ( )Tam çıkarıcı üç giriş ile iki çıkıştan oluşur.

17) ( )Yarım çıkarıcı üç giriş ile iki çıkıştan oluşur.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ–2

AMAÇ

Bu öğrenme faaliyetinde dijital devrelerde kullanılan tümleşik devreleri tanıyıp gerektiği zaman ihtiyacına uygun tümleşik devreyi seçip seçtiğiniz tümleşik devrelerle ilgili uygulamaları yapabileceksiniz.

ARAŞTIRMA

- Piyasadaki kod çevirici tümleşik devreler nelerdir? Araştırınız.
- Piyasadaki kodlayıcı tümleşik devreler nelerdir? Araştırınız
- Kodlayıcıların (encoder) kullanım alanlarını araştırınız.
- Piyasadaki kod çözücü entegreleri ve bacak bağlantılarını araştırınız.
- Bulduğunuz entegreleri, piyasadaki tercih edilme durumlarına göre en çok tercih edilenden en aza doğru sıralayınız.
- Kod çözücülerin kullanım alanlarını araştırınız.

2. TÜMLEŞİK DEVRE ELEMANLARI

2.1. Kodlama ve Kodlayıcılar Tanımı ve İşlevi

Kodlama, iki küme elemanları arasında karşılığı kesin olarak belirtilen kurallar bütünüdür. Diğer bir şekilde ifade edilirse, görünebilen, okunabilen, yazı, sayı ve işaretlerin değiştirilmesi işlemine **"kodlama"** denir.

Sayısal sistemler için oluşturulmuş birçok farklı kod vardır ve her biri tasarlanmış oldukları işler için en ideal çözümleri sunmaktadır. Günlük yaşantımızda en çok kullanılan sistem onluk (decimal) sayı sistemidir. Bundan dolayı bilgisayarlara verilen bilgiler, onlu sistemdedir. Bilgisayarların verilen onluk sistemdeki bilgileri algılaması için her bir verinin sekizli gruplar halinde ikilik sisteme çevrilmesi gerektiğinden ve sayısal sistemlerin **ikili mantık seviyesi (var(1)- yok(0) mantığı)** ile tanımlanmaları, sayısal tasarımcıların binary (ikili) sayı sistemini ve aritmetiğini bilmelerini zorunlu hale getirmiştir.

Kod sistemleri sayısal ve alfa sayısal olarak ikiye ayrılmaktadır. Bu faaliyette sayısal kodlardan sayısal sistemlerde en çok kullanılanları anlatılacaktır.

2.1.1. BCD (Binary Coded Decimal-8421) Kodu

BCD ikilik sisteme kodlanmış onluk sistem demektir. 0 ile 9 arasındaki onluk (decimal) sistemdeki rakamların 4 bit binary olarak (ikilik sistemde) ifade edilmesidir. BCD **kodunun tablosu tablo 2.1'de verilmiştir. Burada 8421 ifadesi ikili sistemdeki basamaklarını (2^3 2^2 2^1 2^0) göstermektedir.**

Not: İki veya daha fazla basamaktan oluşan decimal sayılar için tek basamaklı decimal sayıların binary kodları yan yana konur.

Örneğin;

(23)10 =>(2)10 = (0010)BCD ve (3)10 = (0011)BCD

=> (23)10 = (0010 0011)BCD

DESİMAL	BCD(8421)
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Tablo 2.1: Decimal BCD (8421) kod karşılığı

Örnek 1: Aşağıda verilen onluk sistemdeki (decimal) sayının BCD kod karşılığını bulunuz.

(49)10 = (?)BCD

Dönüştürme işlemi onluk sistemdeki (decimal) her bir rakamın dört bitlik BCD karşılığı yazılarak bulunur;

4 **9**

(0100) **(1001)**

(49)10 = (0100 1001)BCD

Örnek 2: Aşağıda verilen BCD sayının decimal kod karşılığını bulunuz.

(0001 1001 0010)BCD = (?)10

Dönüştürme işlemi her bir dört bitlik BCD rakamın onluk sistemdeki (decimal) karşılığı yazılarak bulunur.

0001 1001 0010
(1) (9) (2)

(0001 1001 0010)BCD = (192)10
8421 BCD kodu dışında 2421 BCD kodu da bulunmaktadır.

2.1.2. Octal (Sekizli) Kod (Octal Code-BCO)

Bu kod ikilik sisteme kodlanmış sekizlik sistem (Binary Coded Octal-BCO) olarak da bilinir. Oktal (sekizli) kodun tabanı sekiz olup bu kod 0, 1, 2, 3, 4, 5, 6, 7 rakamları kullanılarak temsil edilir. 0 ile 7 arasındaki oktal (sekizli) rakamlar, 3 bit binary olarak (ikilik sistemde) ifade edilir. İki veya daha fazla basamaktan oluşan oktal sayılar için tek basamaklı oktal sayıların binary kodları yan yana konur. Bazı oktal sayıların BCO karşılığı tablo 2.2'de gösterilmiştir.

OKTAL	BCO	BİNARY
0	000	0000
1	001	0001
2	010	0010
3	011	0011
4	100	0100
5	101	0101
6	110	0110
7	111	0111
10	001 000	1000
11	001 001	1001
12	001 010	1010
13	001 011	1011
14	001 100	1100
15	001 101	1101
16	001 110	1110
17	001 111	1111

Tablo 2.2: Oktal – BCO - Binary - kod karşılığı

Örnek 1: Aşağıda verilen Oktal sayının BCO kod karşılığını bulunuz.

(47)8 = (?)BCO

Dönüştürme işlemi her bir decimal rakamın dört bitlik BCD (8421) karşılığı yazılarak bulunur.

4 7
(100) (111)

(47)8 = (100 111)BCO

Örnek 2: Aşağıda verilen BCO sayıyı oktal karşılığını bulunuz.

(101 001 110)BCO = (?)8

Dönüştürme işlemi her bir dört bitlik BCO rakamın Oktal karşılığı yazılarak bulunur.

101 001 110
(5) (1) (6)

(101 001 110)BCO = (516)8

2.1.3. Hekzadesimal KodOctal (Hexadesimal Code-BCH)

Bu kod ikilik sisteme kodlanmış sekizlik sistem (Binary Coded Hekzadesimal-BCH) olarak da bilinir. Hekzadesimal (on altılı) sayı sisteminin tabanı 16'dır. Bu sayı sistemi diğerlerine göre farklılık gösterir. Bu kodlamada hekzadesimal (on altılık sistemdeki) rakamlar ve sistemde tanımlı harfler, binary olarak (ikili sistemde) ifade edilir. 0'dan 9'a kadar rakamlar kendileriyle, 10'dan 15'e kadar olan rakamlar ise sırayla A'dan F'ye kadar olan harfler ile temsil edilir. Aşağıdaki tablo 2.3'te 0 - 15 arası hekzadesimal (on altılı sayı sistemi) sayıların BCH karşılıkları görülmektedir.

HEGZADESİMAL	BCH	BİNARY
0	0000	0000
1	0001	0001
2	0010	0010
3	0011	0011
4	0100	0100
5	0101	0101
6	0110	0110
7	0111	0111
8	1000	1000
9	1001	1001
A	1010	1010
B	1011	1011
C	1100	1100
D	1101	1101
E	1110	1110
F	1111	1111

Tablo 2.3: Hekzadesimal (on altılı sayı sistemi) – BCH – Binary (ikili sayı sistemi) kod karşılıkları

İki veya daha fazla basamaktan oluşan hekzadesimal (on altılı sayı sistemindeki) sayılar için tek basamaklı hekzadesimal (on altılı sayı sistemindeki) sayıların binary kodları yan yana konur.

Örnek 1: Aşağıda verilen hekzadesimal (on altılı sayı sistemi) sayının BCH kod karşılığını bulunuz.

(5B)16 = (?)BCH

Dönüştürme işlemi her bir hekzadesimal (on altılık sayı sistemindeki) rakamın dört bitlik Binary (ikili sistemdeki) karşılığı yazılarak bulunur.

5	B
(0101)	(1011)

On altılık sistemdeki B harfinin onluk sistemdeki karşılığının 11 olduğu unutulmamalıdır. 11 sayısının ikili sistemdeki karşılığı 1011'dir. Onaltılık sistemde harflerle temsil edilen sayıların onluk sistemdeki karşılığını bilmek sistem çevirmelerinde size yardımcı olacaktır.

(5B)16 = (0101 1011)BCH

Örnek 2: Aşağıda verilen BCH sayının hekzadesimal karşılığını bulunuz.

(1111 1001 0111)BCH = (?)16

Dönüştürme işlemi her bir dört bitlik BCH rakamın hekzadesimal karşılığı yazılarak bulunur.

1111	1001	0111
(F)	(9)	(7)

(1111 1001 0111)BCH = (F97)16

2.1.4. Gray Kod

Minimum değişimli kodlar sınıfında yer alan **gray** kodunda sayılar arasındaki geçişte sadece bir bit değişir. Gray kodlama yöntemi, basamak ağırlığı olmayan bir kodlama yöntemidir. Basamak ağırlığının olmaması, her bir basamaktaki sayıların basamak ağılıklarına göre karşılığının olmamasıdır. Basamak ağırlığı olmadığından aritmetik işlemlerde kullanılması mümkün değildir. Ancak hatayı azalttığından özellikle analog-sayısal dönüştürücülerde, bilgisayar kontrollü cihazlarda oldukça tercih edilen bir kodlamadır.

Binary sayıların gray koduna çevrilmesi 1. yöntem

Binary olarak verilen ilk bit aşağıya indirilir.
İlk bit ile ikinci bitin toplamı aşağıdaki bitin sağ tarafına yazılır.
İkinci bit ile üçüncü bitin toplamı aşağıdaki diğer bitlerin sağına yazılır.

Bitler bitene kadar iki bitin toplamı sağ bitin altına gelecek şekilde işleme devam edilir.

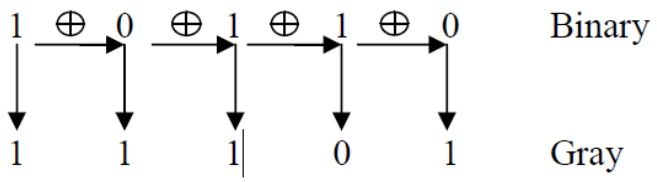
“Toplama işleminde 1+1 =0 olmalıdır”.

Binary sayıların gray koduna çevrilmesi 2. yöntem

İkili sistemde verilen (binary) sayının en yüksek öncelikli bitinin (MSB) önüne (en solun A) “0” sıfır konur.
En düşük öncelikli bitten (LSB) başlayarak her bit sol yanındaki bit ile kıyaslanmaya başlar.
Kıyaslanan iki bit birbirine eşit ise (her ikisi “1” ve ya “0”) gray kod hanesi “0” sıfır yazılır. Kıyaslanan iki bit birbirine eşit değil ise (biri “1” diğeri “0”) gray kod hanesi “1” bir yazılır.

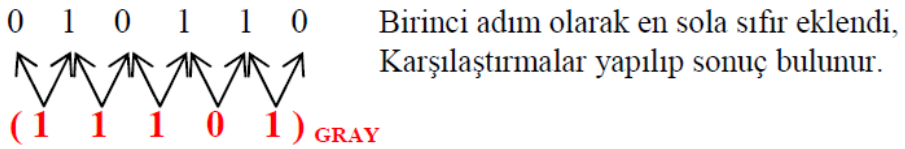
Örneğin;

(10110) ikili sistemdeki (binary) sayısının 1. yönteme göre çözümü:



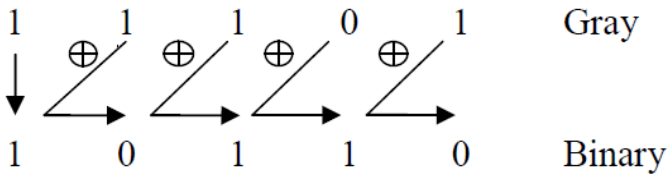
(10110)2=(11101)GRAY

(10110) ikili sistemdeki (binary) sayısının 2. yönteme göre çözümü:



Gray kodunun binary’ye çevrilmesi

Gray kodlu ifadedeki ilk bit aşağı indirilir.
İkinci bit ile aşağıya indirilen ilk bitin toplamı aşağıya indirilen bitin yanına yazılır.
Üçüncü bit, aşağıya indirilen ikinci bitle toplanır ve ikinci bitin yanına yazılır.
Gray kodlu bitler bitene kadar işleme devam edilir.
Örneğin;
(11101) gray kodlu sayı için

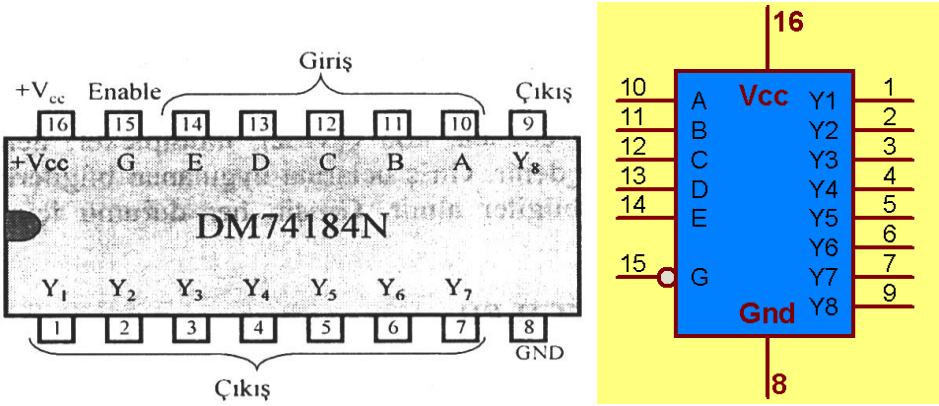


(11101) GRAY = (10110)2

2.2. Kodlama Çeviriciler (Code Converter) ve Entegreleri

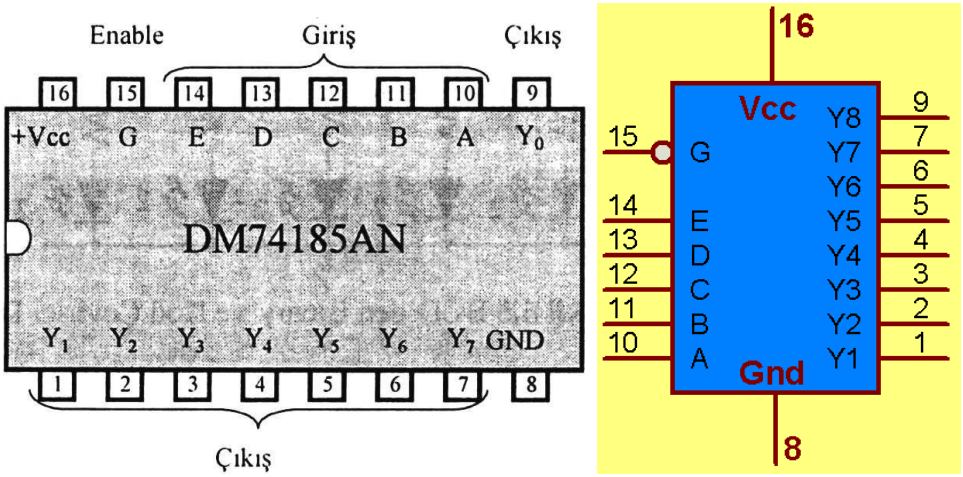
2.2.1. Kod Çeviriciler

Kod çevirici**, bileşimsel (combinational)** devreler grubuna dâhildir. Bileşimsel devrelerde giriş uçlarına uygulanan bilginin durumuna göre çıkıştan değişik bilgiler alınır. Her bir giriş değeri için belli bir çıkış durumu ortaya çıkar. Kod çevirici, bir kodlama yönteminde ifade edilen bilgiyi, başka bir kodlama yöntemine çeviren lojik bir devredir. Örnek olarak, ikiliden BCD'ye ikiliden gray koda, gray koddan ikiliye ve BCD'den 7 parçalı göstergeye kod çevirmeler verilebilir. Hesap makinelerinde veya bilgisayarlarda kullanılan tuş takım / gösterge sistemi, kod çevirme işlemlerinin birkaçının bir arada yapıldığı düzenektir. Kod çevirme işlemi için karmaşık bir lojik devre tasarlamak yerine şekil 2.1'deki 74184 BCD kod çevirici entegresi kullanılabilir.



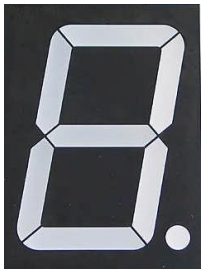
Şekil 2.1: 74184 entegresi bacak bağlantıları ve lojik gösterimi

Binary sayı, BCD' ye çevrilmeden önce decimal sayıya çevrilir. Ondan sonra aynen daha önce BCD kod elde ederken yaptığımız gibi, her bir basamak için dört bitlik karşılıkları yazılarak BCD kod elde edilir. **Şekil 2.2**' de gözüken 74185 entegresi binary koddan BCD'ye çevirici olarak piyasada bulunmaktadır. Çalışma şartları (besleme ve yetki ucu) 74184 entegresi ile aynıdır.

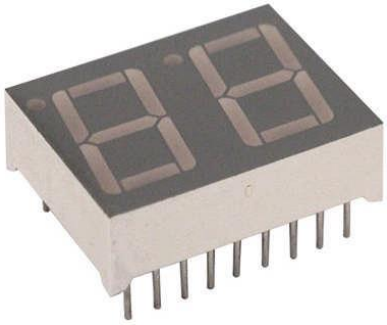


Şekil 2.2: 74185 entegresi bacak bağlantıları ve lojik gösterimi

Şimdiye kadar olan çevirme işlemleri ikili sayı sistemleri ile yapılmaktaydı fakat bu sayıları bizim günlük hayatta alıştığımız şekilde göstermek için 7 parçalı LED göstergelerini (7 segment display) kullanırız. Resim 2.3 ve 2.4'te farklı display çeşitleri görünmektedir.



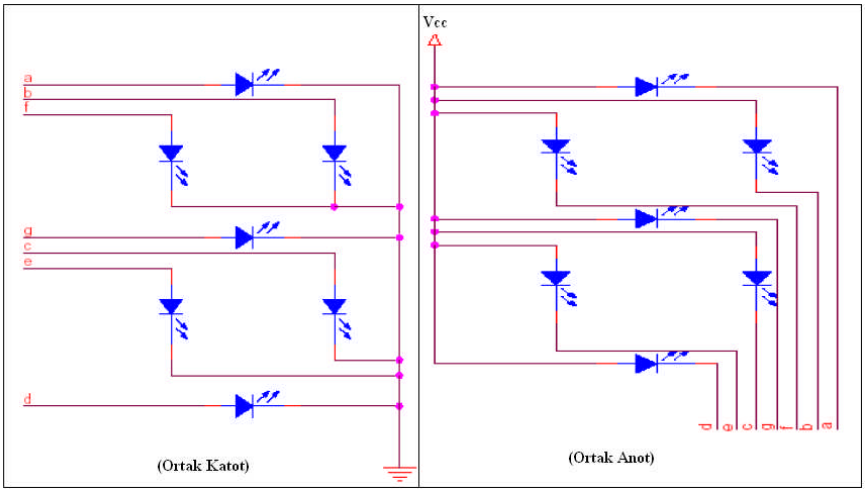
Resim 2.1: 7 segment display (yedi parçalı gösterge)



Resim 2.2: 2'li 7 segment display

Sayısal göstergelerin birçoğu, 0-9 arasındaki rakamları ve bazen 16'lık sistemdeki a-f harflerini göstermek için 7 parçalı gösterge elemanını (7 segment display) kullanır. Yedi parçalı göstergeler, parçalardan her birisi üzerinden akım geçtiği zaman ışık yayacak şekilde özelliğe sahip *(LED)*malzemelerden yapılır. İçinden akım geçen parçalar ışık yayar ve oluşturulmak istenen şekil ortaya çıkar. Parçalar için gerekli sinyaller, uygun kod çözücü üzerinden elde edilir. Örneğin BCD'den 7 parçalı sisteme dönüştürme işi, 7446,7447 ve 4511 kod çözücü entegreleriyle yapılır.

*LED*lerle yapılan göstergelerde her bir parça için bir adet *LED* kullanılır. Parçalardaki *LED*ler doğru yönde gerilim uygulandığında (anoda "+" katoda "-") ilgili *LED* iletime geçerek ışık yayar. **Şekil 2.3**'te LED'lerin bağlantı şekilleri gözükmektedir.



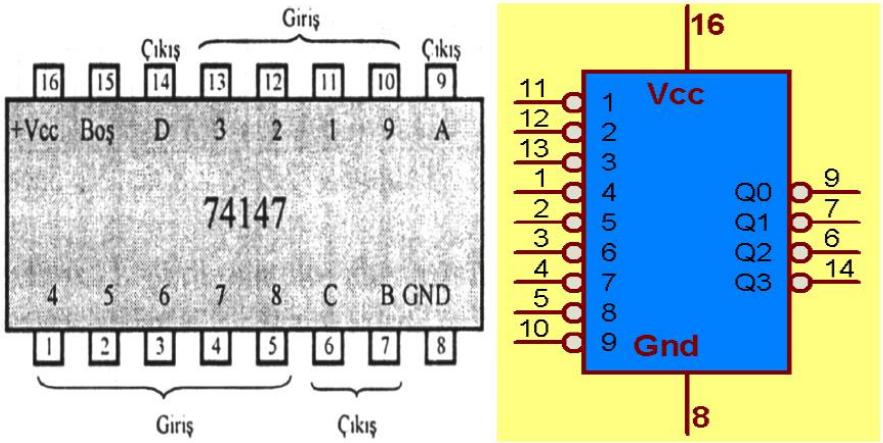
Şekil 2.3. Göstergenin iç yapısı

2.3. Kodlayıcılar (Enkoder) ve Entegreleri

'n' girişli bir sistemde, girişindeki bilgiyi başka bir ikili sayı sisteminde kodlanmış olarak çıkışında veren lojik devreye, "kodlayıcı devre" denir.

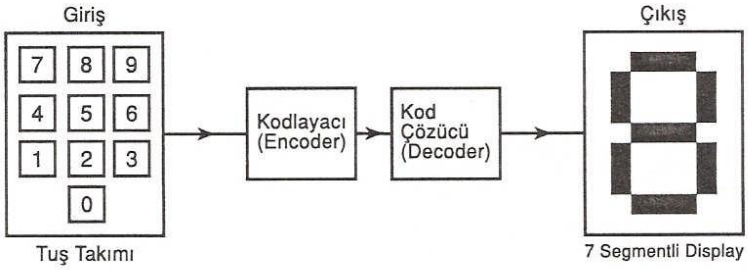
Diğer bir ifade ile günlük hayatta kolayca anlaşılabilen sayısal bilgileri, ikili sistemdeki sayısal bilgilere dönüştüren devrelere kodlayıcı devre denir.

Decimal BCD kodlaması için piyasada bulabileceğiniz 74147 öncelik kodlayıcı (Priority Encoder) entegresi kullanılır. Öncelikli kodlayıcı, kod çevirme işleminde giriş bitleri arasındaki en yüksek pozisyondaki sıfırın (0) yerini kullanılır. En sağda "0" bulunan bitin decimal değerinin BCD karşılığını elde edilip, çıkışa aktarılır. **Şekil 2.4**'te 74147 entegresinin bacak bağlantıları ve lojik gösterimi vardır.



Şekil 2.4: 74147 entegresi (10'dan 4'e öncelik kodlayıcısı) bacak bağlantıları ve lojik gösterimi

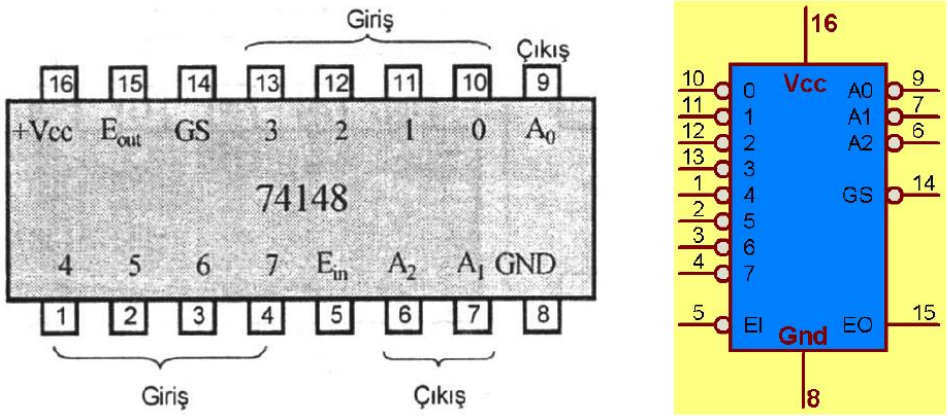
10'dan 4'e öncelik kodlayıcı olan 74147 entegresi temel kullanım alanı tuş takımının kodlayıcısı devrelerindedir. Şekil 2.5'te bir tuş takımından girilen rakamın *display*de görünmesi için gerekli devrenin blok diyagramı çizilmiştir.



Şekil 2.5: Tuş takımı kodlayıcısı blok diyagramı

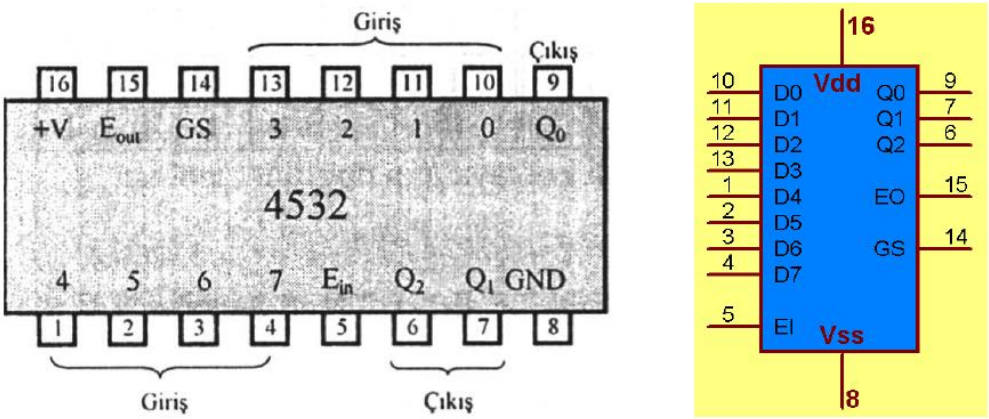
Öncelikli kodlayıcı (Priorty Encoder) girişindeki Lojik -1 bilgisinin öncelik sırasına bağlı olarak kodlama yapan devrelerdir. Öncelik sırası ise en sağdaki Lojik-0 değerine göre belirlenir. Yeri tespit edilen Lojik-0 bilgisi hangi giriş ucunda ise o ucun binary bilgisi çıkışta görünür. Yukarıdaki tuş takımı kodlayıcı olarak kullanılan 74147 öncelik kodlayıcı devresine bir örnektir aslında. Burada ise kodlama ve kod çözme işlemlerinde kullanılan 8'den 3'e öncelik kodlayıcısı işlenecektir.

8'den 3'e öncelik kodlayıcısı olarak 74148 ve 4532 entegreleri piyasada bulunmaktadır. Aşağıda şekil 2.6'da 74148 8'den 3'e öncelikli kodlayıcının bacak bağlantısı ve lojik sembolü verilmiştir.



Şekil 2.6: 74148 entegresi (8'den 3'e öncelik kodlayıcısı) bacak bağlantısı ve lojik görünümü

Diğer bir 8'den 3'e öncelikli kodlayıcı entegresi olan 4532 entegresinin bacak bağlantısı ve lojik görünümü şekil 2.7' de verilmiştir. 4532 entegresinin aktif 1 çıkışlı **olduğuna dikkat edilmelidir.**



Şekil 2.7: 4532 entegresi (8'den 3'e öncelik kodlayıcısı) bacak bağlantısı ve lojik görünümü

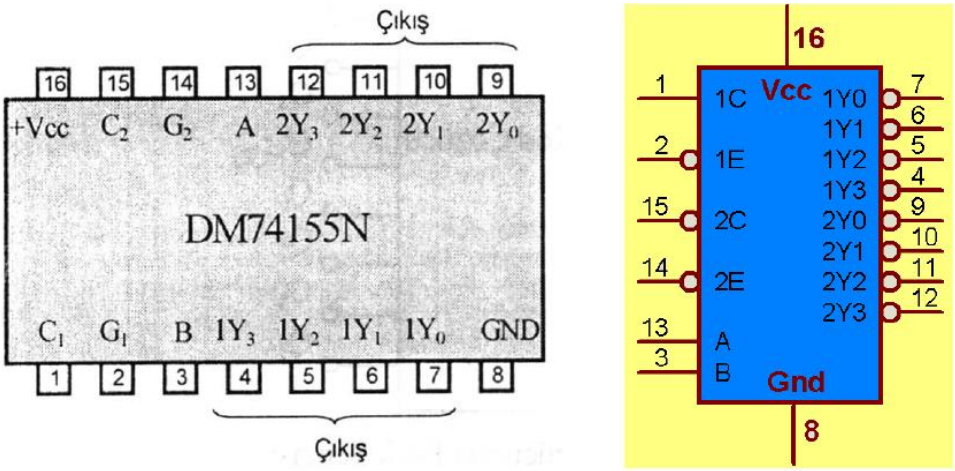
2.4. Kod Çözücüler (Decoder) ve Entegreleri

Dijital sistemlerde bilgiler ikili sayılar olarak ifade edilir ve bütün işlemler ikili sayılar ile gerçekleştirilir. Kod çözücü devresi; kodlayıcı devrenin tam tersini yaparak '**n**' sayıdaki

giriş hattından gelen ikili bilgileri, maksimum **2n** sayıda çıkış hattına dönüştüren lojik devredir.

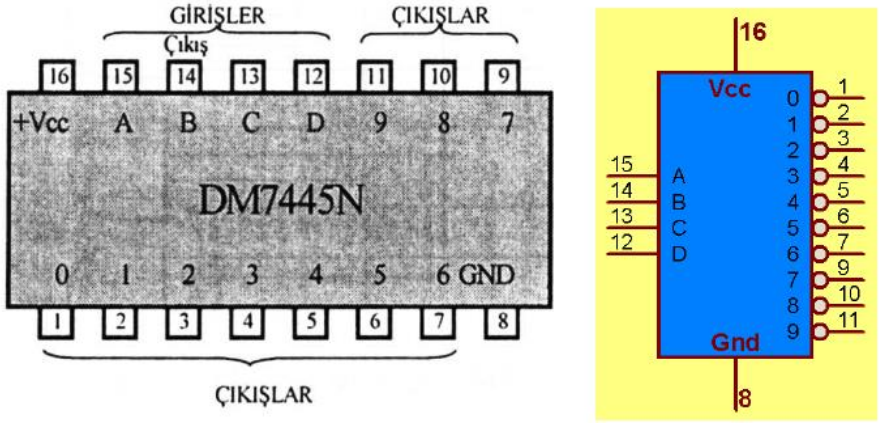
Diğer bir ifadeyle; ikilik sayı sisteminde kodlanmış bilgileri, anlaşılması ve değerlendirilmesi daha kolay bilgilere dönüştüren devrelere **kod çözücü devreler** denir.

İkiden dörde kod çözücüler 2 girişli e 4 çıkışlı kod çözücülerdir. Burada kodlanmış olan iki bitlik ifadelerden dört (2^2) adet bilgi elde edilir. İki girişli kod çözücü devresi olarak 74155 entegresi piyasada bulunmaktadır. Bu entegreler hakkında ayrıntılı bilgiler internetten bilgi sayfalarından bulunabilir. Bu entegre aynı zamanda 1'den 4'e azaltıcı (demultiplexer) olarak da kullanılabilir.



Şekil 2.8: 74155 entegresi bacak bağlantısı ve lojik görünümü

BCD kodu 0 – 9 arasındaki decimal (onluk) sayıların 4-bitlik binary (ikilik) karşılıklarının yazılması ile tanımlanmış bir kodlamadır. Bu durumda tasarlanacak kod çözücünün 4 giriş hattı olması ve BCD kodu da 0-9 arasındaki decimal (onluk) sayılar arasında tanımlı olduğundan 10 çıkış hattının olması gerekmektedir. Piyasada bu amaca uygun üretilen 7445 entegresi bulunmaktadır.



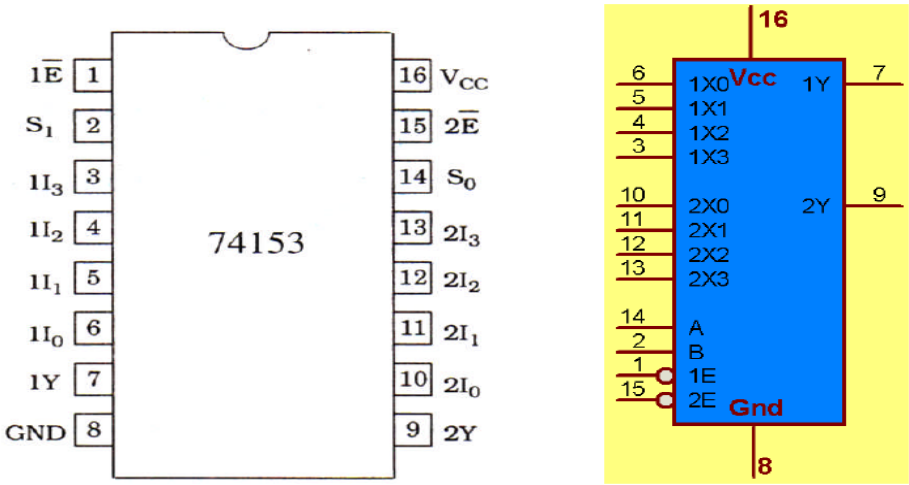
Şekil 2.9: 7445 entegresi (BCD'den decimal'e kod çözücü) bacak bağlantısı ve lojik görünümü

2.5. Çoklayıcılar (Multiplexer)

Çoklama, çok sayıdaki bilginin daha az sayıda kanal veya hat üzerinden iletilmesi anlamına gelir. Çoklama, birçok giriş hattından gelen ikili bilgileri seçen ve tek bir çıkış hattına yönlendiren birleşik bir devredir. Belli bir girişin seçilmesi bir dizi seçme hattı ile kontrol edilir. Bir çoğullayıcı için **2n sayıda giriş hattı** varsa hangi girişin seçileceğini belirleyen **n kadar seçme hattı** vardır.

Piyasada çoklayıcı amacıyla bulunan 74xx150 (16' dan 1'e), 74xx151 (8'den 1'e), 74xx153 (4'ten 1'e), 74xx157 (2'den 1'e) entegreleri istenilen özelliklere göre tercih edilebilir.

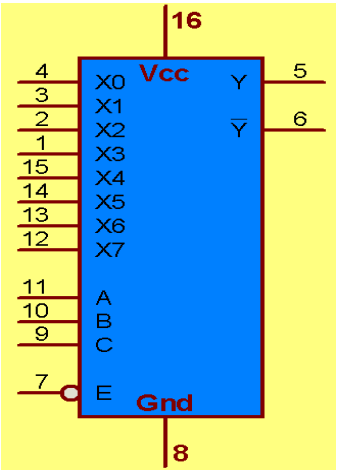
Dörtten bire çoklayıcının dört girişi ve bir çıkış vardır. Piyasada 4'ten 1'e çoklayıcı olarak 74153 entegresi bulunmaktadır. 74153 entegresi hakkında ayrıntılı dokümanlara internetten ulaşabilirsiniz. Şekil 2.10'da 4'ten 1'e çoklayıcı entegresi verilmiştir.



Şekil. 2.10: 74153 entegresi (4'ten 1'e çoklayıcı) bacak bağlantısı ve lojik gösterimi

Bazı durumlarda kod çözücülerde olduğu gibi çoklayıcılar içinde çalışmayı kontrol eden bir yetkilendirme (etkinleştirme-enable) girişi bulunabilir. Multiplex (çoğullayıcı) ancak yetkilendirildiğinde (etkinleştiğinde) çoğullama işlemini gerçekleştirir. Yetkilendirme (enable) girişi, iki veya daha fazla sayıda çoklayıcının birleştirilerek daha çok sayıda girişli bir çoğullayıcının elde edilmesinde kullanılır. Aşağıda yetki (etkinleştirme-enable) girişli bir 8'den 1'e çoklayıcı olan 74151 entegresinin doğruluk tablosu ve lojik sembolü verilmiştir.

Yetkilendirme girişi E olarak adlandırılmıştır.



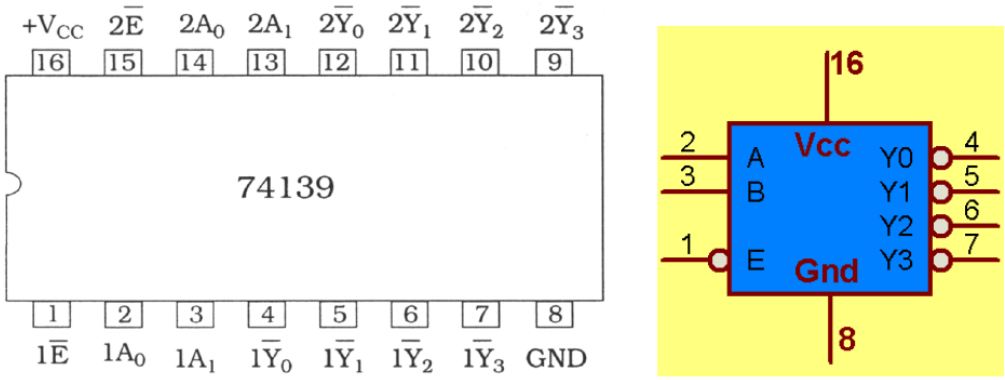
Şekil 2.11: 74151 entegresi (8'den 1'e çoklayıcı) bacak bağlantısı ve lojik gösterimi

2.6. Azaltıcılar (Demultiplexer)

Demultiplex (azaltıcı) tek bir hattan bilgi alan ve bu bilgiyi olası 2n sayıda çıkış hattından birisi üzerinden ileten bir devredir. Belli bir çıkış hattının seçimi n adet seçme uçlarının durumları tarafından kontrol edilir.

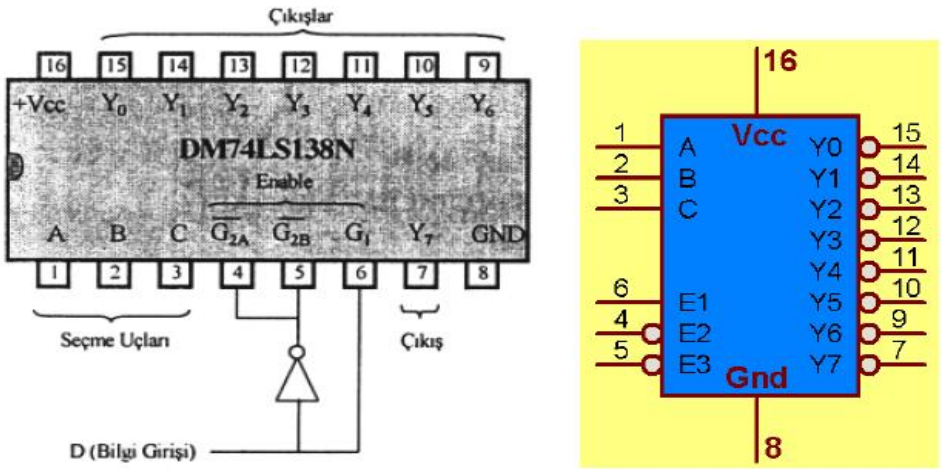
Diğer bir ifadeyle; girişinde bulunan bilgiyi seçme uçlarına bağlı olarak istenilen çıkışa aktaran devrelere azaltıcı denir.

Piyasada bulunan 74xx139 (1'den 4'e), 74xx138 (1'den 8'e), ve 74xx154 (1'den 16'ya) entegreleri istenilen özelliklere göre tercih edilebilir. Piyasalarda bu amaç için üretilen ve içersinde iki adet 1'den 4'e azaltıcı devresi bulunan 74139 entegresi vardır. Yetki (etkinleştirme-enable) ucunun aynı zaman da bilgi girişi gibi kullanılmasından dolayı devre hem kod çözücü hem de azaltıcı olarak kullanılabilmektedir.



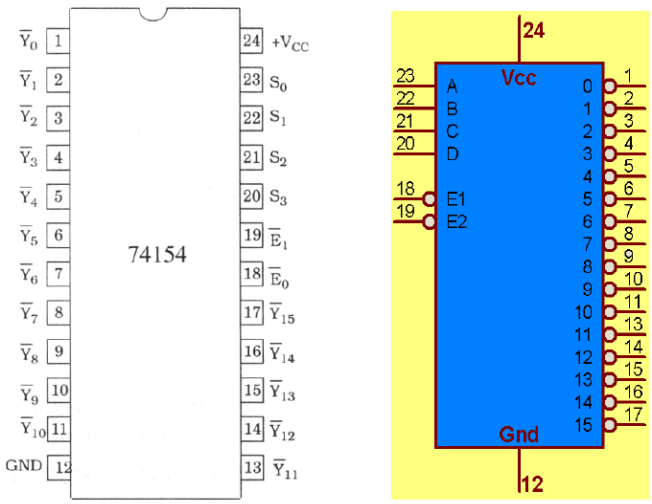
Şekil 2.12: 74139 entegresi (1'den 4'e azaltıcılar) bacak bağlantıları ve lojik gösterimi

Piyasalarda 1'den 8'e azaltıcı olarak 74138 entegresi bulunmaktadır. Bu entegre hem **kod çözücü hem de azaltıcı olarak kullanmak mümkündür.**



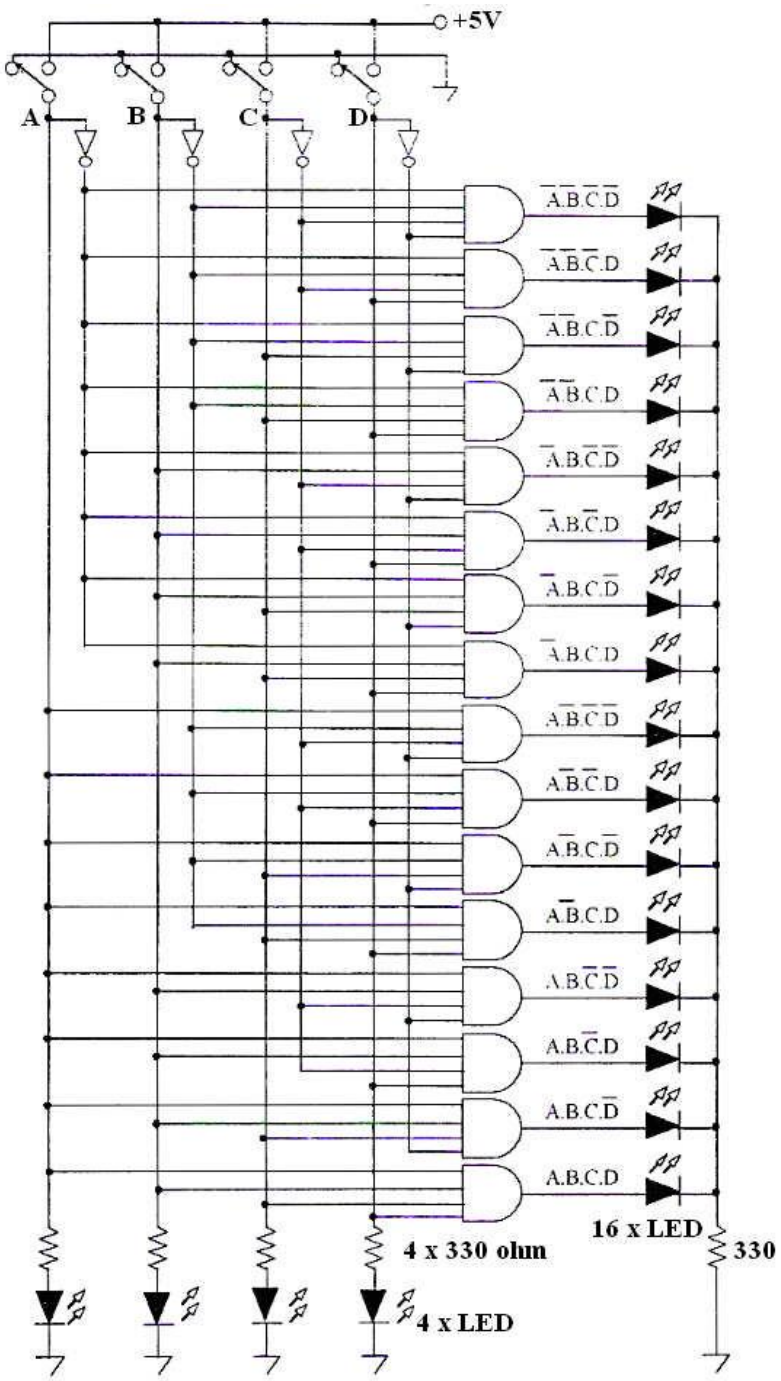
Şekil 2.13: 74138 entegresi (3'ten 8'e azaltıcı) bacak bağlantıları ve lojik gösterimi

Dört adet seçme uçlarına bağlı olarak girişinde bulunan bilgiyi on altı çıkıştan birine aktaran devrelere **1'den 16'ya** azaltıcı denir. Tek bilgi girişi vardır. Dört adet seçme ucuyla on altı çıkıştan biri seçilir. 74154 entegresi incelendiğinde 2 adet yetki (etkinleştirme-enable) ucuna sahip olduğu görülecektir. Bu entegre devrede de harici bir data giriş ucu yoktur. Yetki (etkinleştirme - enable) uçları bilgi girişi olarak da kullanılmaktadır. Bu nedenle 74154 entegresi hem kod çözücü hem de azaltıcı olarak kullanılabilir.



Şekil 2.14: 74154 entegresi (4'ten 16'ya azaltıcı) bacak bağlantısı ve lojik gösterimi

UYGULAMA FAALİYETİ



Binaryden hekzadesimal'e kod çözücü devreyi kurunuz..

Girişler					Çıkışlar																	
Hex	A	B	C	D	Aktif Çıkış	Lojik İfadesi	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Q_9	Q_A	Q_B	Q_C	Q_D	Q_E	Q_F
0	0	0	0	0	Q_0	$\bar{A}.\bar{B}.\bar{C}.\bar{D}$	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	Q_1	$\bar{A}.\bar{B}.\bar{C}.D$	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	Q_2	$\bar{A}.\bar{B}.C.\bar{D}$	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	1	1	Q_3	$\bar{A}.\bar{B}.C.D$	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
4	0	1	0	0	Q_4	$\bar{A}.B.\bar{C}.\bar{D}$	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
5	0	1	0	1	Q_5	$\bar{A}.B.\bar{C}.D$	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
6	0	1	1	0	Q_6	$\bar{A}.B.C.\bar{D}$	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
7	0	1	1	1	Q_7	$\bar{A}.B.C.D$	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
8	1	0	0	0	Q_8	$A.\bar{B}.\bar{C}.\bar{D}$	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	Q_9	$A.\bar{B}.\bar{C}.D$	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
A	1	0	1	0	Q_A	$A.\bar{B}.C.\bar{D}$	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
B	1	0	1	1	Q_B	$A.\bar{B}.C.D$	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
C	1	1	0	0	Q_C	$A.B.\bar{C}.\bar{D}$	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
D	1	1	0	1	Q_D	$A.B.\bar{C}.D$	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
E	1	1	1	0	Q_E	$A.B.C.\bar{D}$	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
F	1	1	1	1	Q_F	$A.B.C.D$	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

***Binary*den hekzadesimal'e kod çözücü doğruluk tablosu**

İşlem Basamakları	Öneriler
➢ Yukarıdaki kod çözücü devre için gerekli ➢ 1 adet bread board, ➢ 1 adet 5V DC güç kaynağı, ➢ 1 adet 7404 entegresi, ➢ 8 adet 7421 entegresi, ➢ 4 adet iki kademeli anahtar, ➢ 5 adet 330 ohm direnç, ➢ 20 adet LED deney malzemelerini hazırlayınız.	➢ Girişi ve çıkışlardaki LED'leri bağlamayı unutmayınız. ➢ Entegrelerin bacak bağlantılarına dikkat ediniz.
➢ Deney borduna devreyi kurunuz.	➢ Devredeki bağlantıları gerçekleştirirken her bağlantıdan sonra yapılan bağlantı şema üzerinden işaretlenirse yapılacak hatalar azalacaktır.
➢ Anahtar giriş değerlerini sırayla değiştiriniz.	➢ Entegrelerin besleme uçlarını bağlamayı unutmayınız.
➢ Doğruluk tablosundaki değerleri gözlemleyiniz.	➢ Her durumda sadece tek çıkışın "1" olması gerektiğini unutmayınız.

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Kullanılacak entegreleri seçebiliyor musunuz?		
2. Devre elemanlarının bağlantılarını doğru yapabiliyor musunuz?		
3. Elemanların bağlantısını yaparken devre şemasını takip edebiliyor musunuz?		
4. Entegrelerin besleme uçlarını belirleyebiliyor musunuz?		
5. Anahtar değerlerini istenilen şekilde değiştirebiliyor musunuz?		
6. LED çıkışlarını doğruluk tablosu ile karşılaştırabiliyor musunuz?		

➢

DEĞERLENDİRME

Değerlendirme sonunda "Hayır" şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Gerekirse başka kaynaklardan ve öğretmeninizden yardım isteyiniz. Bütün cevaplarınız "Evet" ise "Ölçme ve Değerlendirme"ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1) Günlük hayatta kullanılan sayı sistemi, kod olarak aşağıdakilerden hangisiyle adlandırılır?
A) Oktal B)3 fazlalık C)Hekzadesimal D)Desimal

2) (981)10 = (....)BCD aşağıdakilerden hangisidir?
A) (0001 1010 0001)BCD B)(1001 1110 0000)BCD
C)(1001 1000 0001)BCD D)(0011 1111 0001)BCD

3) (257)8 = (....)BC0 aşağıdakilerden hangisidir?
A) (0010 0001 0101)BCO B)(0100 0101 0111)BCO
C)(0010 0101 0111)BCO D)(0001 0010 0011)BCO

4) (B32E)16 = (...)BCH aşağıdakilerden hangisidir?
A) (1001 1000 0001 1010)BCH B)(1011 0111 0010 1110)BCH
C)(0101 1010 1110 1000)BCH D)(0101 1110 1000 0011)BCH

5) Hata kontrolü yapmak için hangi kod kullanılır?
A) GRAY B)BCD C)OKTAL D)PARITY

6) Aşağıda verilen bitlerin hangisi tek parity olarak doğru kodlanmıştır?
A) (10010)2 B)(11110)2 C)(10101)2 D)(10001)2

7) Aşağıda verilen bitlerin hangisi çift parity olarak kodlanmıştır?
A) (10110)2 B)(11001)2 C)(11111)2 D)(10001)2

8) Kod çözücünün girişi hangi sayı sistemidir?
A)2 B)8 C)10 D)16

9) Kod çözücüde 3 giriş varsa kaç çıkış bulunur?
A)3 B)6 C)8 D)10

10) Kod çözücü devre hangi devrelerin tersini yapar?
A) Kod çevirici B)Kodlayıcı C)Çoklayıcı D)Azaltıcı

11) 10 ile 16 arasındaki sayılar hangi kod çözücüde kullanım dışıdır?
A) İki girişli B)Oktal
C)BCD D)Hekzadesimal

12) Çoklayıcılarda bilgi transferinde azaltılan nedir?
A) Giriş hattı sayısı B)Çıkış hattı sayısı
C)Seçme hattı sayısı D)Besleme hattı sayısı

13) Çoklayıcıda 8 giriş varsa kaç çıkış ucu bulunur?
A)1 B)2 C)3 D)4

14) Çoklayıcı girişini arttırmak amacıyla birden fazla çoklayıcı kullanabilmek için hangi ucu kullanırız?
A)Yetki B)Giriş C)Seçme D)Çıkış

15) Hekzadesimal çoklayıcı entegresi aşağıdakilerden hangisidir?
A) 74150 B)74151 C)74153 D)74155

16) Azaltıcıları hangi sistemlerde kullanabilir?
- A) Haberleşme B)Kodlayıcı C)Kod çevirici D)Kod çözücü

17) Çoklayıcıda 8 çıkış varsa kaç seçme ucu bulunur?
A)1 B)2 C)3 D)4

18) Azaltıcılar hangi birleşik devrelere benzetebiliriz?
A) Kod çözücü B)Kodlayıcı C)Çoklayıcı D)Kod çevirici

19) Azaltı entegrelerin çıkışları nasıl bir özelliğe sahiptir?
A) Lojik-0 B)Aktif 0 C)Aktif 1 D)Lojik-1

20) Azaltıcı olarak kullanılan entegrelerde data hattı olarak hangi uçları kullanırsınız?
- A) Seçme B)Giriş C)Besleme D)Yetki

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ–3

AMAÇ

Uygun ortam sağlandığında, flip-flop entegreleri ve devreleri tanıyacak, özelliklerini bilecek ve bu entegreler ile istediğiniz tipte mantık devresinin tasarımını yapabileceksiniz.

ARAŞTIRMA

Bu faaliyet öncesinde yapmanız gereken araştırmalar şunlardır:

- Flip-floplara neden ihtiyaç duyulmaktadır ve kullanım yerleri nerelerdir?

Flip-flop entegrelerini, katalogları ve interneti kullanarak inceleyeniz, çeşitleri, isimleri hakkında bilgi toplayınız ve entegre görünümleri çizerek doğruluk ve fonksiyon tablolarını oluşturunuz.

- Araştırma işlemleri için İnternet ortamında araştırma yapınız. Elektronik kart tamiratı ve tasarımı ile uğraşan kişilerden ön bilgi edininiz. Bunun için serviste bulunan yetkili teknik eleman ve elektronik mühendislerinin bilgisine başvurabilirsiniz.

3. FLİP - FLOPLAR

Flip-floplar yapısında lojik kapılar olan, yani lojik kapılar ile gerçekleştirilmiş özel elemanlardır. Girişlerin değişimine bağlı olarak çıkış değeri değişir. Flip-flopların bu anlıkdeğişimine tetiklenme adı verilir ve bu değişimi sağlayan duruma ise flip-flop'bun tetiklenmesi denir. Flip-floplar da ardışıl devrelerde kullanılır ve bir zamanlama palsi vardır. Ayrıca flip flopların en önemli özelliği çıkış değerlerinin bir önceki çıkışa da bağlı olmasıdır. Tabi burada açıklanacak çok kavram var. Burada kısaca değineceğimiz ana kavramları konu ilerledikçe daha iyi anlayacaksınız.

Lojik devreler, kombinasyonel (combinational) ve ardışıl (sequential) olmak üzere 2 bölümde incelenebilir. Kombinasyonel devrelerde, herhangi bir andaki çıkış, sadece o andaki girişler tarafından belirlenir. Önceki çıkış değerlerinin sonraki çıkışa hiçbir etkisi söz konusu değildir. Ardışıl devrelerde ise bir önceki çıkış, mevcut girişlerle birlikte sonraki çıkışı tayin eder. Başka bir deyişle ardışıl devrelerin bellek özelliği vardır. Yani çıkışları aklında tutar ve giriş olarak kullanır.

Bu öğrzenme faaliyetinde, flip-floplarla devre tasarımının genel mantığını anlatacağız ama, aslında flip floplarla devre tasarımını daha çok sayıcılar konusunda göreceksiniz. Çünkü sayıcıların tasarımı flip-floplarla gerçekleştirilmektedir. Ayrıca kaydedicinin (register) yapısında ve hafıza (memory) biriminin yapısında da flip-flop vardır.

Bu öğrenme faaliyetinde işleyeceğimiz konulardan aklınızda kalması gereken en önemli hususlar, flip flopların sembolleri ve doğruluk tabloları (yani flip flopların girişleri ne olursa çıkışının ne olacağı) olmalıdır. Flip-flopların temel özellikleri ile, tetikleme çeşitleri bilinmeli ve flip floplarla tasarım konusu, aşamaları ile birlikte çok iyi anlaşılmalıdır.

3.1. Flip-Flop Özellikleri

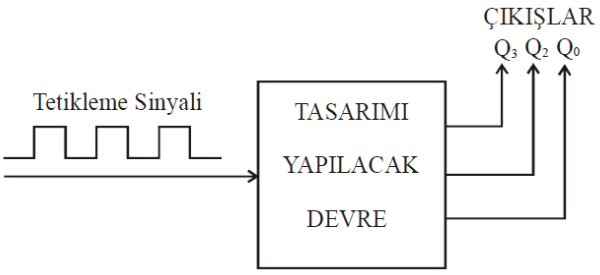
Flip flopların genel özellikleri şunlardır: Her birinde clock (saat) girişi bulunmaktadır. Bu girişe kare dalda şeklindeki tetikleme sinyali bağlanır ve flip-flop bu sinyal ile çıkışlarını değiştirir. Daha önceki devrelerimizde girişler değişince çıkışlar hemen değişiyordu. Flip floplarda ise çıkışların değişmesi için girişlerin değişmesi yetmez. Bu değişim emrini tetikleme sinyali verir.

Flip-flobun vereceği çıkış girişlere bağlı olmakla birlikte, aynı zamanda bir önceki çıkışa da bağlıdır. Yani bir geri besleme söz konusudur. Bir önceki çıkış, sanki bir sonraki çıkışın girişi gibi düşünülür. Flip-flopların doğruluk tablolarını incelediğimizde daha iyi anlayacaksınız. Flip-floplar;

Girişlerine uygulanan sinyal değişmediği müddetçe çıkış durumunu korur.

Flip-floplar 1 bitlik bilgiyi saklayabilir.
Giriş sinyallerine göre çıkış ya lojik “0” ya da lojik “1” olur.
Her bir flip flobun *Q* ve *Q* olmak üzere 2 çıkışı vardır. *Q* çıkışı “1” ise *Q* “0” , *Q* çıkışı “0” ise *Q* “1” olmaktadır. Uygulamada hangi çıkış işimize yarayacaksa o kullanılır. Esas çıkış *Q* çıkışıdır. Eğer *Q* çıkışının değilini kullanmak gerekirse ayrıca bir “değil” kapısı kullanmaya gerek yoktur.
Flip floplar ardışıl devrelerin temel elemanıdır.

Flip floplar bir çeşit çift kararlı multivibratörlerdir. Multivibratörler konusu bir önceki öğrenme faaliyetinde anlatılmıştır. Flip floplarla tasarlanacak devre şeması genel olarak şu şekildedir.



Şekil 3.1: Flip-flop ile tasarlanacak devre şeması

Burada dikkatimizi çekecek olan nokta tetikleme sinyali dışında bir giriş olmamasıdır. Bu şekilde tasarlanmış bir devre çıkışları, gelen her tetikleme sinyali ile birlikte sırası ile ardışıl olarak değişir durur. Tasarım konusunda daha ayrıntılı incelenecektir.

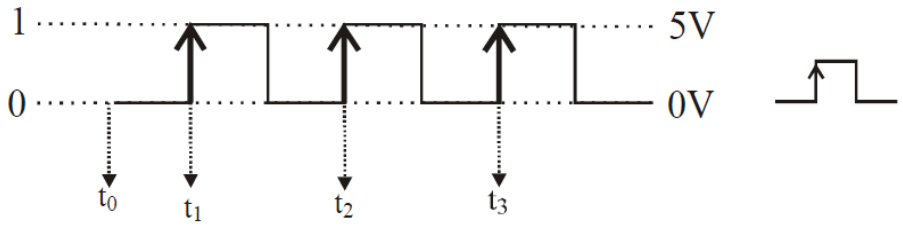
3.2. Flip-Flopların Tetiklenmesi ve Tetikleme Çeşitleri

Flip-floplar clock (saat) palsi veya tetikleme palsi denilen kare dalga sinyal ile tetiklenir. FF'lerin CLK girişlerine bu kare dalga sinyal bağlanır. Bu kare dalga sinyaller ise osilatör devreleri ile üretilir. Yani flip-flopları kullanabilmek için bir kare dalga osilatörüne ihtiyaç vardır.

Tetikleme palsi, 0V ila 5V arasında değişen bir kare dalgadır. Yani lojik "0" ile lojik "1" arasında değişen bir işarettir. Değişik frekanslarda olabilir.

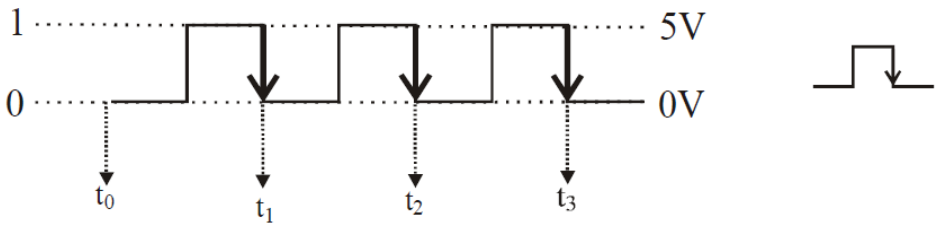
Temelde 3 çeşit tetikleme şekli vardır. Bunlar; pozitif kenar (çıkan kenar) tetiklemesi, negatif kenar (inen kenar) tetiklemesi ve düzey tetiklemedir.

Kare dalganın "0" durumundan "1" durumuna geçtiği andaki tetiklemeye **pozitif kenar**
tetiklemesi denir. Çıkışlar kare dalganın, her sıfırdan birer geçişinde konum değiştirir.



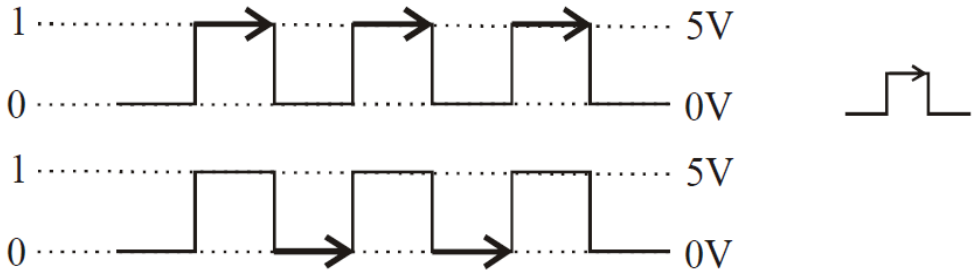
Şekil 3.2: Pozitif kenar tetiklemesi ve gösterimi

Kare dalganın "1" durumundan "0" durumuna geçtiği andaki tetiklemeye negatif kenar tetiklemesi denir. Çıkışlar, kare dalganın, her birden sıfıra geçişinde konum değiştirir.



Şekil 3.3: Negatif kenar tetiklemesi ve gösterimi

Kare dalganın “1” olarak kaldığı veya “0” olarak kaldığı durumlarda çıkışın değişmesine düzey tetikleme denir.



Şekil 3.4: Düzey tetikleme ve gösterimi

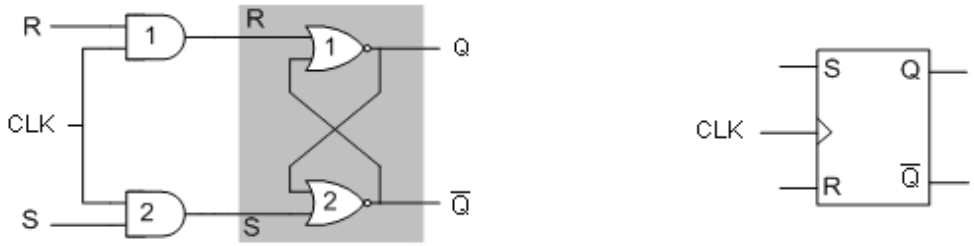
3.3. Flip-Flop Çeşitleri

- Flip floplar başlıca 4 çeşittir. Bunlar;
  - RS flip-flop
  - JK flip-flop
  - T flip-flop
  - D flip-flop

Bir de bunlara ilave olarak Preset/Clear girişli flip-floplar vardır. Her bir flip-flop çeşidinin Preset/Clear girişli olanı vardır. Yani Preset/Clear girişli RS flip-flop, Preset/Clear girişli JK flip-flop, Preset/Clear girişli D flip-flop ve Preset/Clear girişli T flip-flop vardır.

3.3.1. RS Flip-Flopları

RS flip-flop aşağıdaki sembolde görüldüğü gibi S (Set=Kur) ve R (Reset=Sıfırla) isimlerinde 2 girişe sahip bir flip-floptur.



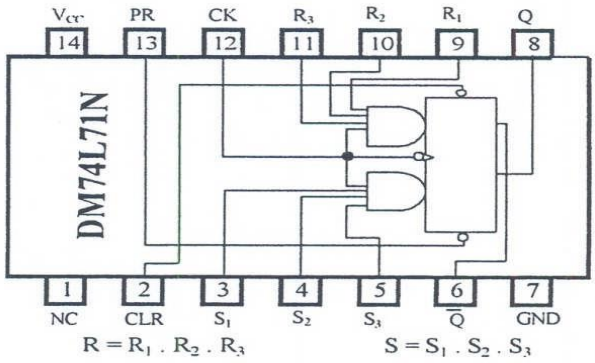
(a) Lojik diyagramı
(b) Sembolü

CLK	S	R	Q	$\overline{Q}$	
↓	x	x	Qn	$\overline{Q_n}$	Değişim yok
↑	0	0	Qn	$\overline{Q_n}$	Değişim yok
↑	0	1	0	1	Silme
↑	1	0	1	0	Kurma
↑	1	1	1	1	Tanımsız

(c) Doğruluk tablosu

Şekil 3.5: Yükselen kenar tetiklemeli bir RS flip-flop

Burada anlattığımız RS flip-flobun aslında tetikleme sinyali yoktur. Çünkü tetiklemesiz RS flip-flop, flip-flopların temelini oluşturmaktadır. Ama şunu unutmayın ki, aslında flipfloplarda tetikleme girişi vardır. RS flip-flobun değişik gerçekleştirme yöntemleri vardır. Örnek olması açısından bir RS FF entegresi aşağıda verilmiştir. Siz de başka RS FF entegrelerin katalog bilgilerini inceleyebilirsiniz (FF=Flip-Flop anlamındadır.).



Şekil 3.6: DM74L71N RS flip flop entegresi

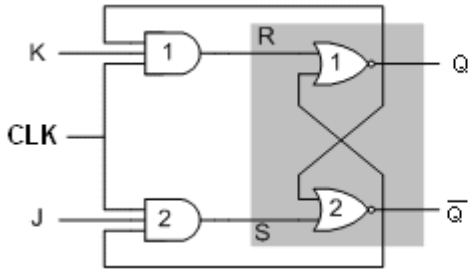
3.3.2. JK Flip-Flopları

Bildiğiniz gibi RS FF'lerde R=1 ve S=1 olduğunda belirsizlik durumu oluşuyordu ve bu girişlerin kullanılmaması gerekiyordu. İşte bu durumu yok etmek için RS FF geliştirilerek

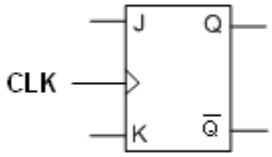
JK, D ve T flip-floplar bulunmuştur. Bu flip-floplarda belirsizlik durumu yoktur ve eğeryapılarını incelerseniz, RS flip floba ilaveler yapılarak geliştirildiğini görebilirsiniz. JK flipflop için, "RS flip-flobun geliştirilmiş modelidir." diyebiliriz.

JK flip-flobun da, RS flip flop gibi iki girişi vardır. Bu girişler mantık olarak RS girişlerine benzemektedir. Burada J girişi "Kur" girişi, K ise "Sıfırla" girişi gibi düşünülebilir. JK FF'in RS FF'den tek farkı J=1, K=1 durumunda belirsizlik olmamasıdır. Bu durumda çıkış, bir önceki çıkışın tersi olmaktadır. Yani J=1, K=1 olduğunda çıkış "0" ise "1", "1" ise "0" olmaktadır. Diğer durumlarda ise JK FF'nin çıkışları RS FF gibidir.

Yani;
J=0, K=0 olduğunda çıkış değişmemektedir (S=0, R=0 olduğunda olduğu gibi).
J=0, K=1 olduğunda çıkış "0" olmaktadır (S=0, R=1 olduğunda olduğu gibi).
J=1, K=0 olduğunda çıkış "1" olmaktadır (S=1, R=0 olduğunda olduğu gibi).
J=1, K=1 olduğunda çıkış $\bar{Q}$ olmaktadır (S=0, R=1 olduğunda belirsizlik oluyordu.).



Lojik diyagramı

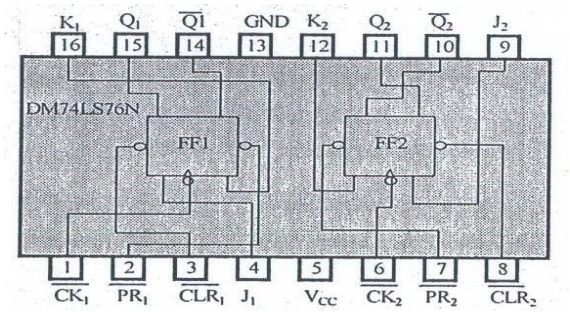


(b) Sembolü

CLK	J	K	Qn+1	$\bar{Q}_{n+1}$	
↓	x	x	Qn	$\bar{Q}_n$	Değişim yok
↑	0	0	Qn	$\bar{Q}_n$	Değişim yok
↑	0	1	0	1	Silme
↑	1	0	1	0	Kurma
↑	1	1	$\bar{Q}_n$	Qn	Tümleyen

(c) Doğruluk tablosu

Şekil 3.7: Yükselen kenar tetiklemeli JK flip-flop

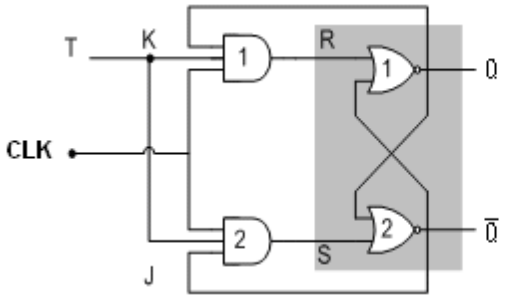


Şekil 3.8: DM74LS76N entegresi

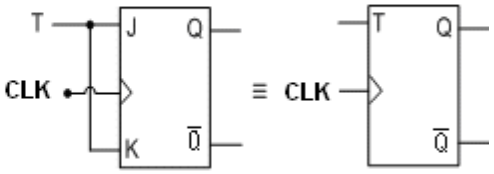
3.3.3. T (Toggle) Flip-Flopları

T flip-flop, JK flip-flobun giriş uçları kısa devre edilerek tek girişli hale getirilmiş şeklidir. O yüzden T FF entegresi yerine, JK FF entegresi alınıp girişleri kısa devre edilerek

T FF entegresi yapılabilir. Zaten piyasada T flip flop yerine, JK flip-flop kullanılmaktadır.



Lojik diyagramı



(b) Sembolü

CLK	T	Q	$\overline{Q}$	
↓	x	Qn	$\overline{Qn}$	Değişim yok
↑	0	Qn	$\overline{Qn}$	Değişim yok
↑	1	$\overline{Qn}$	Qn	Tümleyen (Toggle)

(c) Doğruluk tablosu

Şekil 3.9: Yükselen kenar tetiklemeli T flip-flop

JK FF'in girişlerinin birbirine bağlanarak tek girişli hale getirilmesi demek, J ve K girişlerinden ayrı ayrı değerler girilemeyecek yani biri ne ise diğeri de o olacak demektir.

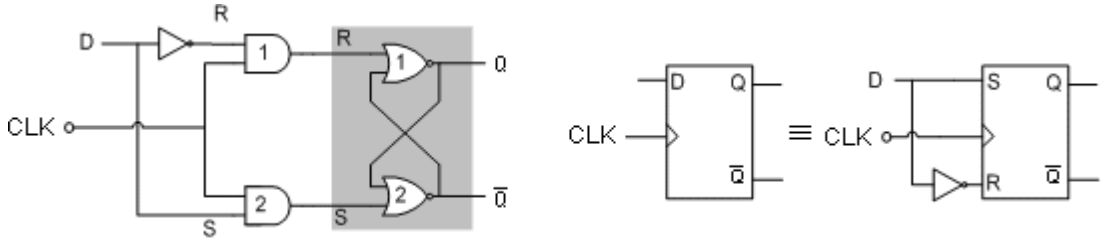
T=0 ise J=0 ve K=0 demektir ki, bunun sonucunda çıkış Q+ = Q olur.
T=1 ise J=1 ve K=1 demektir ki, bunun sonucunda çıkış Q+ = Q olur.

Bunun anlamı T FF'in girişine "0" verilirse çıkış değişmez, "1" verilirse çıkış, bir önceki çıkışın tersi olur demektir. Başka bir ifadeyle;

T=0 durumunda; şu andaki çıkışı "0" ise "0" olarak kalmaya devam edecek, şu andaki çıkışı "1" ise "1" olarak kalmaya devam edecek demektir.
T=1 durumunda; şu andaki çıkışı "0" ise "1" olacak, şu andaki çıkışı "1" ise "0" olacak demektir.

3.3.4. D Flip-Flopları

D (data) tipi flip-flop, bilgi kaydetmede kullanılan bir flip-floptur ve genellikle register (kaydedici) devrelerinde kullanılır. D tipi flip-flop, JK tipi flip-floba bir "DEĞİL" kapısı eklenip girişleri birleştirilerek elde edilir. D tipi flip-flopda giriş ne ise, her gelen tetikleme palsi ile çıkış o olur.

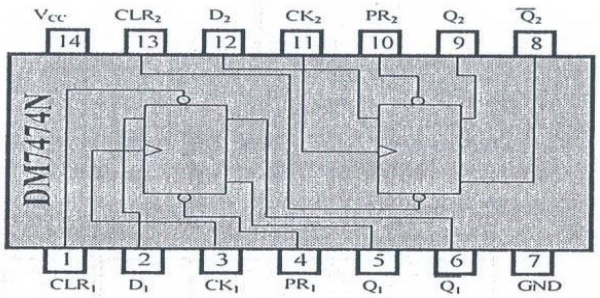


Lojik diyagramı **(b) Sembolü**

CLK	D	Qn+1	$\overline{Q}_{n+1}$	
↓	x	Qn	$\overline{Q}_n$	Değişim yok
↑	0	0	1	Silme
↑	1	1	0	Kurma

(c) Doğruluk tablosu

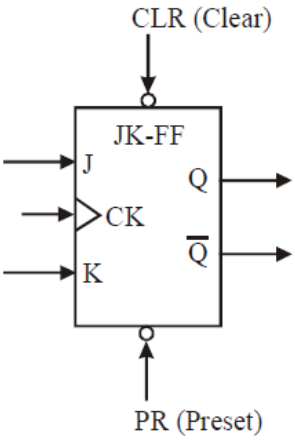
Şekil 3.10: Yükselen kenar tetiklemeli D flip-flop



Şekil 3.11: DM7474N entegresi

3.3.5. Preset/Clear Girişli Flip-Flopları

Daha öncede söylediğimiz gibi her flip-flobun birde preset/clear girişli olan çeşidi vardır. Mantık aynı olduğundan burada her birini teker teker açıklamayacak, JK flip-flop üzerinde konuyu anlatacağım. Preset/clear girişli JK flip-flop en gelişmiş flip-floptur diyebiliriz. Çünkü bu flip-flop ile diğer tüm flip-flopları kolaylıkla elde edebiliriz.



Şekil 3.12: Preset/Clear girişli JK flip-flop blok şeması

Şekilde de görüldüğü gibi J,K ve CLK girişlerine birde PR (preset) ve CLR (clear) girişleri eklenmiştir. Bu girişlerin Türkçe karşılıklarını söylememiz gerekirse ***preset=önkurma ve clear=temizle*** anlamındadır. Ön kurma, üst seviye kurma anlamındadır. Daha önce set (kurma) işleminin ne demek olduğunu RS FF'leri incelerken görmüştük. Kurma, çıkışı "1" yapma anlamına gelmekteydi. PR girişi de çıkışı "1" yapan giriştir. Diğerinden farkı daha üst bir yetkiye sahip olmasıdır. CLR girişi ise, aynı reset girişinde olduğu gibi, çıkışı temizleyen yani "0" yapan giriştir. Yine bu girişin farkı bir üst yetkiye sahip olmasıdır. Yani askeriyede olduğu gibi ast üst ilişkisi vardır girişler arasında. Şimdi bu ast üst ilişkisini biraz açalım. Bildiğimiz gibi askerde en üst rütbeli komutan ne derse o olmaktadır. Nasıl ki, onun altında rütbedeki kişiler ne derse desin, en üst rütbelinin sözü geçerli olmaktaysa, burada da en üst rütbeli komutanlar PR ve CLR girişleridir. Eğer bu girişler bize bir şey yapmamızı emrediyorsa, diğer girişler ne olursa olsun çıkış, PR ve CLR

girişlerinin emirleri doğrultusunda olacaktır. Şunu da unutmamak gerekir ki, üst rütbeliler her zaman "şunu yapın" diye kesin emirler vermezler. Bazen de alt rütbedeki subayını çağırıp ona: "Askerleri alın ve ne isterseniz o eğitimi yaptırın. Yetkiyi size bırakıyorum. Askeri tabirle -Emir komuta sizde.-" derler. İşte bu anlattığımız hikâyenin ışığında, PR ve CLR girişlerini en üst rütbeli komutan olarak, CLK girişini bir alt rütbeli komutan olarak, J ve K girişlerini ise en düşük rütbeli asker olarak düşünecek olursak şu sonuca varabiliriz:

PR girişi, çıkışa "1" olmasını emreden bir giriştir. Eğer PR girişi aktif ise diğer girişler her ne olursa olsun, hatta CLK sinyali bile olmasın, çıkış "1" olacaktır ve PR girişi aktif **olduğu sürece çıkış değişmeyecek "1" olarak kalmaya devam edecektir. Eğer burada dikkatinizi çektiyse, PR girişi aktif olduğu sürece tabirini kullandım. Yani PR girişi "1" olduğu sürece şeklinde kullanmadım. Bunun bir sebebi var. Çünkü PR girişi ters mantık ile çalışan bir giriştir. Eğer şekle bakarsanız bu girişte "o" şeklinde bir sembol vardır. Bu o girişin ters mantık ile çalıştığını gösterir. Düz mantıkta PR=1 olması çıkışı "1" yap demek olduğuna göre, ters mantıkta PR=0 olması çıkışı "1" yap demek olacaktır. Yani PR=0 olması emir vermesi, PR=1 olması ise susması, emir vermemesi anlamındadır. Bu kadar karışık cümlelerden sonra özetle şunu söyleyelim:**

PR=0 olduğunda PR girişi aktif demektir ve diğer girişler ne olursa olsun çıkış "1" olacak demektir.

PR=1 olduğunda ise PR girişi aktif değil demektir.

CLR girişi ise, çıkışa "0" olmasını emreden bir giriştir. Bu girişte PR girişi gibi ters mantığa göre çalışmaktadır.

CLR=0 olduğunda CLR girişi aktif demektir ve diğer girişler ne olursa olsun çıkış "0" olacak demektir.

CLR=1 olduğunda ise CLR girişi aktif değil demektir.

Burada yine bir sorun karşımıza çıkıyor. PR ve CLR girişleri aynı rütbelere sahip girişlerdir. Eğer ikisi birden emir verirse ne olacak? Yani PR=0 ve CLR=0 olursa ne olacak?

Komutanlardan biri çıkışı "0" yap diyor, diğeri ise "1" yap diyor. Bu durumu yine istenmeyen durum olarak ilan edeceğiz ve bu şekildeki girişleri kullanmayacağız. PR ve CLR girişlerinin her ikisinin birden susması durumunda, yani PR=1 ve CLR=1 olması durumunda ise, daha önce öğrendiğimiz kurallar geçerlidir. Yani emir komuta CLK girişindedir. Eğer CLK girişinde tetikleme palsi yok ise, çıkış değeri değişmeyecektir. CLK girişine tetikleme palsi geldiğinde ise J, K girişlerine göre çıkış değişecektir. Bunun doğruluk tablosunu daha önce incelemiştik.

PR	CLR	CLK	J	K	Q+
0	1	X	X	X	1
1	0	X	X	X	0
0	0	X	X	X	----
1	1	↑	0	0	Q
1	1	↑	0	1	0
1	1	↑	1	0	1
1	1	↑	1	1	$\overline{Q}$

Şekil 3.13: Preset/Clear girişli JK flip flop doğruluk tablosu

UYGULAMA FAALİYETİ

Aşağıda verilen doğruluk tablosunu gerçekleştirecek olan devreyi, JK flip- flop kullanarak tasarlayınız ve tasarladığınız devreyi delikli plakete lehimleyerek kurunuz.

	Q_1	Q_2	Q_3
↑	1	0	0
↑	1	1	1
↑	0	1	0
↑	1	1	0
↑	0	0	0
↑	0	1	1
↑	1	0	1
↑	0	0	1

PR=1 ve CLR=1 alınız.

İşlem Basamakları	Öneriler
➢ Kuracağınız devreyi inceleyerek özelliklerini öğreniniz ve önemli gördüğünüz noktaları not alınız.	➢ Uygulamaya başlamadan önce konu hakkında çeşitli kaynaklardan araştırmalar yapınız ve bulduğunuz sonuçları yanınızda bulundurunuz.
➢ Çalışma alanınızı fiziksel ve elektriksel olarak temizleyiniz. Kısa devre oluşmaması için gerekli tedbirleri alınız.	➢ Temizliğe ve statik elektrik olmamasına dikkat ediniz. Çalışma alanındaki parçalar devrenizde kısa devre oluşturabilir. Dikkat ediniz!
➢ Önlüğünüzü giyiniz ve gerekli iş güvenliği kurallarına uyunuz.	➢ Önlüğünüzün düğmelerini kapatmayı unutmayınız.
➢ Devreyi kurmak için gerekli malzemeleri tespit ediniz.	➢ Güç kaynağı, bağlantı probları, AVOmetre gibi cihazları unutmayınız.
➢ Özel elemanların ve entegrelerin katalog bilgilerini öğreniniz.	➢ Katalogları ve interneti kullanabilirsiniz.
➢ Devre elemanlarının sağlamlık kontrollerini yapınız.	➢ Elemanları bredborda takarak kontrol ➢ ediniz.
➢ Devreyi delikli plaket üzerine şemaya bakarak tekniğine uygun şekilde lehimleyerek kurunuz.	➢ Elemanların bacaklarını doğru bağlamak için katalog bilgilerini kullanınız. Yaptığınız işin kaliteli olmasına ve işi zamanında yapmaya özen gösteriniz.

➢ Kurduğunuz devreyi, AVOmetreyi kullanarak ve devre şemasından takip ederek bağlantıların doğru olup olmadığını kontrol ediniz.	➢ Soğuk lehim ve kısa devre olmamasına dikkat ediniz.
➢ Entegrelerin besleme gerilimlerini bağlayınız.	➢ Gereğinden fazla gerilim vermek entegreyi bozacaktır. Önce kaynak gerilimini ölçerek kontrol ediniz.
➢ Çıkışlara bağlı LED'lerin durumuna bakarak devrenin doğruluk tablosuna göre çalışıp çalışmadığını kontrol ediniz.	➢ Çıkış LED'lerinden hangisinin, hangi çıkışa ait olduğuna dikkat ediniz.

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Doğruluk tablosuna göre devreyi tasarlayabildiniz mi?		
2. Devreyi kurmak için doğru elemanları seçebildiniz mi?		
3. Entegre kataloglarını okuyabiliyor musunuz?		
4. Devre elemanlarının sağlamlık kontrolünü yapabildiniz mi?		
5. Devre elemanlarını delikli plaket üzerine doğru bir şekilde yerleştirebildiniz mi?		
6. Çıkışlara bağlı LEDlere bakarak doğruluk tablosuna göre devrenin çalıp çalışmadığını kontrol edebildiniz mi?		

DEĞERLENDİRME

Değerlendirme sonunda "Hayır" şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız "Evet" ise "Ölçme ve Değerlendirme"ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki sorularda doğru seçeneği işaretleyiniz.

1. Aşağıdakilerden hangisi flip-flobun bir özelliği değildir?
A) Flip-floplar ardışıl devrelerde kullanılır.
B) Flip-flopların yapısında lojik kapılar vardır.
C) Flip-flopların çıkışının ne olacağı yalnızca girişlere bağlıdır.
D) Flip-floplar sayıcı devrelerinin tasarımında kullanılırlar.

2. Aşağıdakilerden hangisi bir flip- flop çeşidi değildir?
A) RS flip-flop
B) K flip-flop
C) T flip-flop
D) D flip-flop

3. Aşağıdakilerden hangisi RS flip-flop için belirsizlik durumudur?
A) R=0, S=0
B) R=1, S=1
C) R=0, S=1
D) R=1, S=0

4. RS flip-flobun girişlerinden R=0 ve S=0 verdiğimizde çıkış ne olur?
A) “0” olur.
B) “1” olur.
C) Çıkış değişmez.
D) Bir önceki çıkışın tersi olur.

5. Aşağıdakilerden hangisi flip- flopların tetikleme şekillerindendir?
A) Düz tetikleme
B) İnen kenar tetiklemesi
C) Ters tetikleme
D) “0” tetiklemesi

6. JK flip-flobun çıkışının, bir önceki çıkışın tersi olması için girişleri aşağıdakilerden hangisi olmalıdır?
A) J=1, K=1
B) J=0, K=1
C) J=1, K=0
D) J=0, K=0

7. Aşağıdaki durumların hangisinde T flip-flobun çıkışı “1” olur?

I . T=1 ve Q=0 iken tetikleme sinyali geldiğinde,
II . T=1 ve Q=1 iken tetikleme sinyali geldiğinde,
III. T=0 ve Q=0 iken tetikleme sinyali geldiğinde,
IV. T=0 ve Q=1 iken tetikleme sinyali geldiğinde,
A) I ve IV
B) I ve II
C) III ve IV
D) II ve III

8. D flip-flop için aşağıdakilerden hangisi doğrudur?
A) D flip-flobun 2 girişi, 1 çıkışı vardır.
B) D flip-flop ile devre tasarımı yapılamaz.
C) D flip-flop her zaman “1” çıkışını verir.
D) D flip-flobun girişi ne ise, çıkışı da o olur.

9. Flip-floplardaki PR ve CLR girişleri için aşağıdakilerden hangisi yanlıştır?
A) PR ve CLR girişleri en üst düzey girişleridir.
B) PR girişi “1” ise çıkışlar “1” olur.
C) CLR girişi “1” ise çıkışlar “1” olur.
D) PR=1 ve CLR=1 durumu istenmeyen durumdur.

10. JK flip-flopta çıkışın “1” iken “0” olması için aşağıdakilerden hangisi olmalıdır?
A) K ne olursa olsun J=0 olmalıdır.
B) K ne olursa olsun J=1 olmalıdır.
C) J ne olursa olsun K=0 olmalıdır.
D) J ne olursa olsun K=1 olmalıdır.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ–4

AMAÇ

Bu modül ile size verilen sayıcı devre tasarımı ile ilgili çalışmaları yapabilecek, asenkron ve sayıcı devrelerini tasarlayarak tekniğine uygun şekilde hatasız kurup çalıştıracaksınız.

ARAŞTIRMA

- Sayıcıların temelini oluşturan flip flop elamanlarını çeşitlerini, tetikleme sinyal durumlarını, flip flop geçiş tablolarını ve flip flopların birbirlerine dönüşüm şekillerini hatırlayınız ve sayıcıların çeşitlerini ve kullanma yerlerini araştırınız.
- Senkron sayıcıların kullanım amacını araştırınız.
- D tipi FF ve T tipi FF ile senkron sayıcı tasarımını araştırınız.
- FF dönüşümlerini araştırınız.
- İstenilen sırada sayan senkron sayıcıların Karno haritası ile hesabını araştırınız.
- Entegreli Sayıcıların entegrelerini kataloglardan ve İnternetten araştırınız.

4. SAYICILAR

Flip-Flopların arka arkaya sırayla bağlanması ile oluşturulmuş devrelerdir. Girişlerine uygulanan saat darbelerini (clock pulse) ikili tabana göre sayma işlemi yapar.

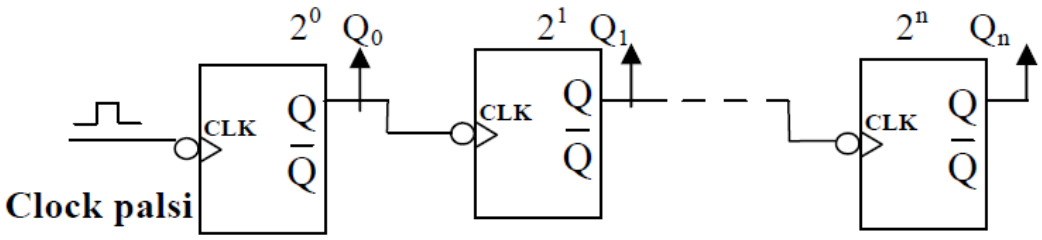
Sayıcılar, dijital ölçü, kumanda ve kontrol tesislerinin önemli elamanlarındandır. Ayrıca frekans bölme, frekans ölçümleri, aritmetik işlemler ve zaman aralığı ölçümleri gibi işlemlerde kullanılır. Sayıcılar tetikleme işaretlerinin (clock) farklı zamanlı (asenkron), eş zamanlı (senkron) verilişine göre iki gurupta incelenebilir.

4.1. Asenkron Sayıcılar

Asenkron sayıcılar, dalgalı sayıcı (ripple counter) veya seri sayıcı (serial counter) olarak da adlandırılır. Bu sayıcılarda FF'ların çıkışları bir sonraki FF clock girişine uygulanarak birbirini tetiklemeleri sağlanır. Böylece bir öndeki sonrakini tetiklemiş olur. Asenkron sayıcılardaki Flip-Floplar toggle modunda çalışır yani her bir clok darbesi ile durum değiştirir.

Sayıcıların en önemli özelliklerinden biri de çalışma hızlarıdır. Örneğin, asenkron bir sayıcıda 4 adet FF kullanılmış olsun. Her Flip-Flop tepki süresi 10 nanosaniye ise son Flip-Flop konumunun değişmesi için 4x10= 40 nsn'lik bir zaman geçer. Zamanlamanın hassas olduğu yerlerde ve bilgisayar devrelerinde bu önemli bir faktördür.

Clock palsi sadece ilk FF girişine uygulanan, her birinin Q çıkışı bir sonrakinin clk girişine uygulanan ve çıkışların Q ucundan alındığı sayıcılara asenkron ileriye sayıcı denir. Aynı zamanda asenkron yukarı sayıcıda denir.

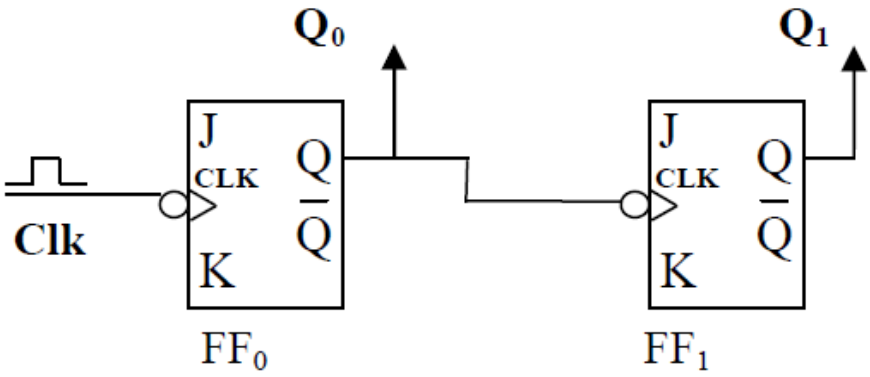


Şekil 4.1: Asenkron ileri sayıcı prensip şeması

Şekil 4.1'deki prensip şemasında clock palsi ilk FF'a uygulanmıştır. Bu durum ilk FF çıkışını düşük değerlikli bit durumuna getirmiştir. Yukarıdaki devre negatif kenar (düşenkenar) tetiklemeli çalışır. Clock palsinin uygulandığı FF en değersiz bittir. Sıralama en düşük değerlikli bitten, en yüksek değerlikli bite doğru yapılır. Tablolarda en düşük değerlikli bit en sağa yerleşecek şekilde düzenleme yapılır. Çıkış dalga şekilleri çizilirken en üstte clock palsi bulunur. Bundan sonra sıralama düşük değerlikli bitten yüksek değerlikli olana doğru yapılır. Asenkron ileriye sayıcılar, genellikle JK ve T tipi FF ile yapılır. JK FF giriş uçları birleştirilerek T FF elde edilir ve lojik 1 uygulanır. TTL serisi entegrelerde (74 serisi) boşta bırakılan uçlar lojik 1 olarak işlem görür.

4.1.1. İki Bitlik Asenkron İleri-Geri Sayıcı

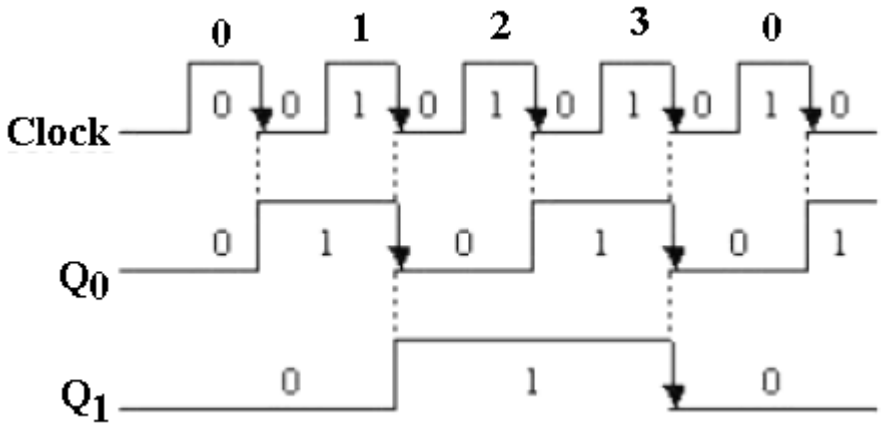
Asenkron sayıcılarda JK FF her clk palsinde konum değiştirmesi için J ve K girişlerinden lojik 1 verilmelidir. **Şekil 1.2**'de FF0 clk girişine 0 clk palsi uygulandığında Q0 çıkışı 0'dan 1'e geçer. 1 clk palsinde ise çıkış yine konum değiştirir bu defa FF1 clk girişine Q0'daki düşen kenar değişimi FF1'in Q1 çıkışının 0'dan 1'e geçişini sağlar. 2 clk palsi ile FF0 konum değiştirir FF1 etkilenmez. 3 clk palsi ile FF0 konum değiştirerek 0'dan 1'e geçer. Pozitif kenarda FF1 tetiklenmeyeceği için FF1 konum değiştirmez. FF1 çıkışı 1 olarak kalır.



Şekil 4.2: JK Flip-Flop u ile yapılan iki bitlik asenkron ileri sayıcı

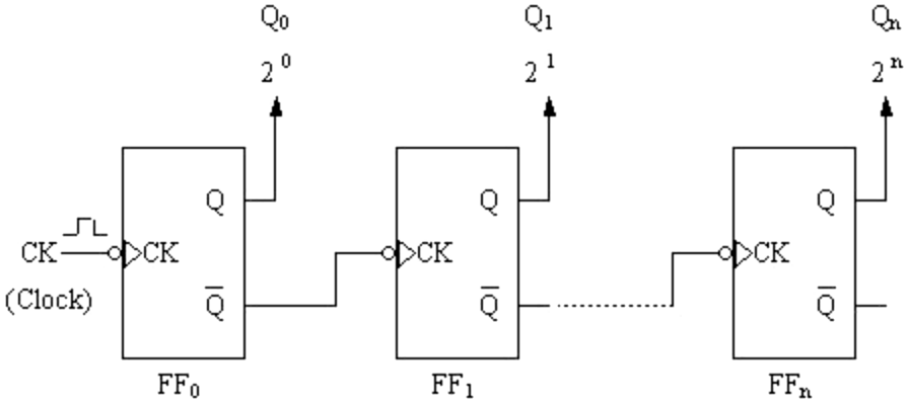
Clock	Q_1	Q_0
0	0	0
1	0	1
2	1	0
3	1	1

Tablo 4.1: İki bitlik asenkron ileri sayıcının doğruluk tablosu



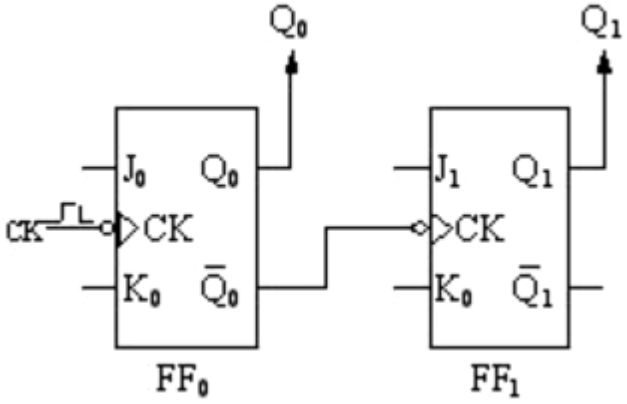
Şekil 4.3: İki bitlik asenkron ileri sayıcının çıkış dalga şekilleri

Asenkron geriye sayıcılarda clk palsi ilk FF clk girişine uygulanarak bir sonraki FF bir öncekinin $\bar{Q}$ (Q değil olarak belirtilir.) çıkışına bağlanarak elde edilen sayıcılara asenkron geriye sayıcı denir. Aynı zamanda asenkron aşağı (down) sayıcı da denir.



Şekil 4.4: Asenkron geri sayıcının prensip şeması

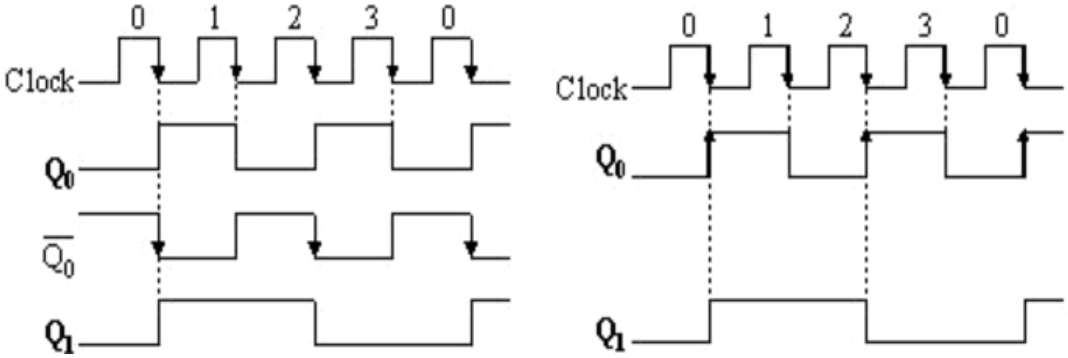
Yukarıdaki prensip şema düşen kenar tetiklemelidir. Clk palsinin uygulandığı FF düşük değerlikli bittir. Sıralama da en değersiz bitten en değerli bite doğru yapılır.



Şekil 4.5: İki birlik asenkron geri sayıcı

Clock	Q_1 (2^1)	Q_0 (2^0)
0	1	1
1	1	0
2	0	1
3	0	0

Tablo 4.2: İki bitlik asenkron geri sayıcının doğruluk tablosu

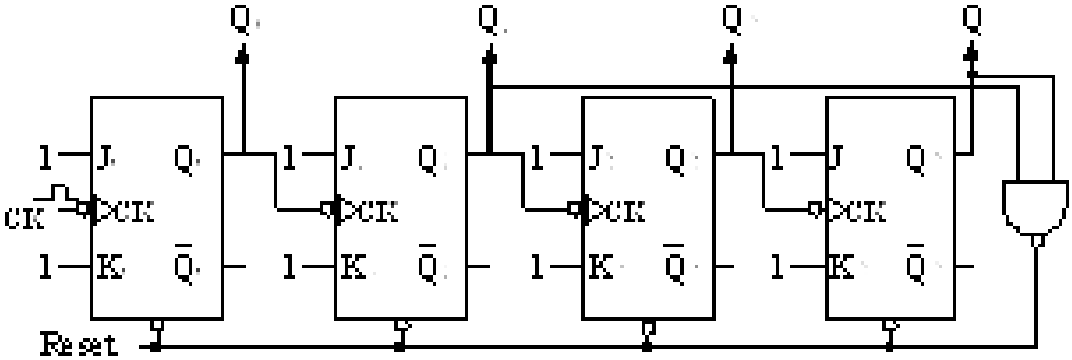


Şekil 4.6: İki bitlik asenkron geri sayıcının çıkış dalga şekilleri

Şekil 4.5'te JK FF ile yapılan iki bitlik asenkron geriye sayıcı bağlantısı verilmiştir. Şekil 4.6'da dalga şekillerinde negatif kenar yerine pozitif tetikleme palsinin yükselen kenarında çıkışların pozisyonlarına dikkat edelim. JK FF ile yapılan asenkron geriye sayıcıda, FF0'ın clk girişine 0 clk palsi uygulandığında, FF0 ve FF1 konum değiştirir. FF0 konum değiştirerek 0'dan 1'e geçerken Q0, Q0 tersi olacağından 1'den 0'a geçer. Bu da negatif kenar tetikleme oluşturarak FF1'i tetikler. 1 clk palsinde, FF0 konum değiştirir. Değillenmiş çıkışı 0'dan 1'e geçeceği için düşen kenar palsi oluşmaz ve FF1 konum değiştirmez. Diğer FF tetiklenmeleri de bu mantıkla aynı işleme devam eder. Asenkron geriye sayıcılarda, ilk FF'den sonraki FF'ler için her defasında negatif kenar tetikleme palsini gösterebilmek için değillenmiş çıkışın da dalga şeklini çizmek yerine, normal çıkışın (Q) dalga şekli üzerinde yükselen kenar tetikleme palsinin gösterilmesi aynı sonucu verir.

4.1.2. Resetlemeli Asenkron İleri - Geri Sayıcılar

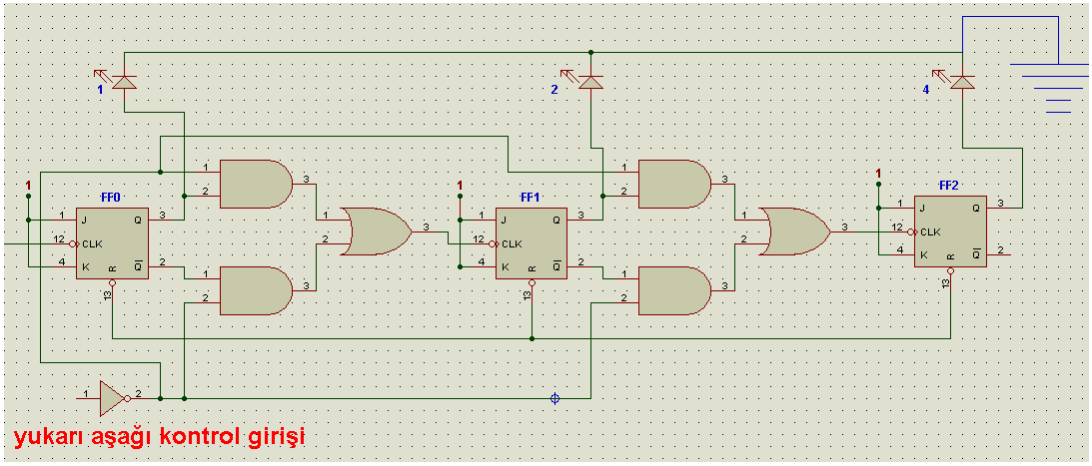
Clk girişi ilk FF'ye uygulanan, her birinin çıkışı bir sonraki FF'nin clk girişine uygulanan ve çıkışlarından silme (clear) ya da sıfırlama ucuna geri besleme (feed back) yapılarak sayması sınırlanan sayıcıya modlu (resetlemeli) asenkron sayıcı denir. FF çıkışlarından geri besleme yapılmadığı sürece sayıcı modu maksimumdur. Sayıcının hangi moda sayması isteniyorsa bunun binary (ikilik) karşılığı alınır. Sayıcı çıkışındaki bit değerleri dikkate alınarak uygun çıkışlar *VEDEĞİL* kapısına girilir. Kapı çıkışı FF'lerin silme (clear) uçlarına bağlanır. Burada dikkat edilmesi gereken nokta bütün FF'lerin silme uçlarına bağlanmasıdır.



Şekil 4.7: Mod 10 asenkron ileri sayıcı

Mod 10 şekline getirilişi şöyledir. 10 sayısının binary karşılığı (1010) 2 olduğundan Q0=0, Q1=1, Q2=0, Q3=1 olacaktır. Q1 ve Q3 aynı anda 1 olduğunda sayıcı 10'u saymadan sıfırlanır. Yani 0, 1, 2, 3, 4, 5, 6, 7, 8, 9 saydıktan sonra başa döner. Burada şu noktaya dikkat etmeliyiz. Görüldüğü gibi mod 8 için üç bitlik sayıcı devreleri yeterli olacaktır. Yani dört FF kullanarak mod 8 ve aşağısında bir sayıcı tasarlanmamalıdır. Tabloda 1.7'de dört bitlik bir sayıcının ayarlanacak mod değerleri için çıkışlara bağlanabilecek kapılar verilmiştir.

Asenkron geriye sayıcıları tasarlarken de **Şekil 4.4**'te verilen prensip şemasından faydalanabiliriz. Burada bahsetmek istediğimiz bir durum daha vardır. Asenkron sayıcılar yukarı veya aşağı sayıcı olarak düzenlenebildiği gibi ufak bir değişiklikle de hem aşağı hem yukarı sayıcı olarak da ayarlanabilir. Temel yapı aynı olmakla beraber her FF çıkışına konan kontrol devresi bu esnekliği sağlar. Her FF çıkışına bağlanan kontrol devresinin giriş uçlarına, bir öncekinin Q ve Q değil çıkışları kontrol devresinin çıkışı ise bir sonraki FF clk girişine bağlanır. **Şekil 1.18**'de verilen mod 8 sayıcının kontrol girişi 1 ise mod 8 asenkron yukarı sayıcı, kontrol girişi 0 ise mod 8 asenkron aşağı sayıcı olarak çalışır.



Şekil 4.8: Mod 8 yukarı-aşağı asenkron sayıcı

4.2. Senkron Sayıcılar

Bir önceki konuda gördüğümüz gibi asenkron sayıcılarda saat sinyali (clock palsi) sadece birinci FF'ye dışarıdan uygulanmaktadır. Son FF'ye clk palsinin ulaşması belli bir zaman gecikmesi ile olur. Bunu ortadan kaldırmak için senkron sayıcılar kullanılır. Clock girişleri birleştirilerek aynı anda tetiklenen, sayma sırası tasarıma bağlı olarak değiştirilebilen sayıcılara senkron sayıcılar denir. Senkron ve asenkron sayıcıların tümünde ana elaman Flip Flop elamanıdır. Senkron sayıcılarda ilave olarak lojik kapı kullanımı da gereklidir.

➢ Senkron sayıcı tasarımı için işlem basmakları şu şekildedir.

- FF'lerin sayısı ve tipi belirlenir.
- FF'lerin alacağı çıkış değerleri tablo şeklinde düzenlenir.
- Her bir çıkışın clock palsinden sonra alacağı yeni değer Q+olarak tabloya kaydedilir.
- Tasarımda kullanılacak FF'ye ait geçiş tablosundan, her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.
- Geçiş tablosundaki her bir giriş Karno haritasına aktarılır ve çıkış ifadeleri yazılır.
- Çıkış ifadelerine göre devre şeması çizilir.

- Buna uygun bağlantı yapılarak devre çalıştırılır.

4.2.1. İki Bitlik Senkron İleri Sayıcıların Karno Haritası İle Tasarlanması

Senkron sayıcıların tasarımında SR tipi FF, D tipi FF, T tipi FF, ve JK tipi FF kullanılabilir. Hangi FF kullanılacaksa **Şekil 2.1**'de verilen geçiş tablolarından yararlanılır. Biz bu konuda piyasada daha çok kullanımından dolayı JK tipi FF ile senkron sayıcı tasarımını anlatacağız.

➢ Yapılacak işlem basamakları şöyledir.

2 adet JK FF kullanılacak.
FF'lerin alacağı çıkış değerleri tablo şeklinde düzenlenir.

Onlu	Q_1	Q_2
0	0	0
1	0	1
2	1	0
3	1	1

Tablo 4.3: Çıkış değerleri tablosu

Her bir çıkışın clock palsinden sonra alacağı yeni değer Q+ olarak tabloya kaydedilir.

Q1	Q1	Q1+
0	0	0
0	0	1
1	1	0
1	1	1

Q0	Q0	Q0+
0	0	1
1	1	0
0	0	1
1	1	0

Tablo 4.4: Yeni değerler tablosu

Q1'in clk palsinden sonra alacağı değer Q1+ olarak ; Q0'ın clock palsinden sonra alacağı değer Q0+ olarak kabul edilmiştir. Buna göre Q1+ yazılırken Q1 sütununda Q1'in hemen altındaki değer Q1+ olarak alınır.Tasarımda kullanılacak FF'ye ait geçiş tablosundan, her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.

Q	Q+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 4.5: JK FF geçiş tablosu

	Q_1	Q_0	Q_{1+}	Q_{0+}	Q_0	Q_{0+}	J_1	K_1	J_0	K_0
0	0	0	0	0	0	1	0	X	1	X
1	0	1	0	1	1	0	1	X	X	1
2	1	0	1	1	0	1	X	0	1	X
3	1	1	1	0	1	0	X	1	X	1

Tablo 4.6

Q_1	Q_0	J_1	K_1	J_0	K_0
0	0	0	X	1	X
0	1	1	X	X	1
1	0	X	0	1	X
1	1	X	1	X	1

Tablo 4.7

Tablo 4.6'da Q1 sütununda "0"ın altında "0" olduğundan 0 satırda Q1+ "0" olur. JK FF geçiş tablosundan "0"dan "0"a geçişte J= 0 ve K= X olduğu görülmektedir. # 1. satırda "0" olan Q1'in altında 1 olduğundan Q1+ 1. satıra "1" olarak yazılır. "0"dan "1"e geçişte J=1 ve K= X olduğu görülmektedir. # 2. satırda "1" olan Q1'in altında "1" vardır. Bundan dolayı Q1+ 2. satıra "1" olarak yazılır. "1"den "1e geçişte J= X ve K=0 olduğu görülmektedir. # 3. satırdaki "0" olan Q1'in devamında başa döndüğü için ilk satırda "0" olduğundan Q1+ 3. satıra "0" olarak yazılır.

“0” dan “0” a geçişte J= 0 ve K= X olduğu görülmektedir. Böylece Q1 sütunun clk palsinden sonra alacağı değerlere göre geçiş tablosu tamamlanmış olur.

Aynı mantıkla Q0+ sütunu da doldurulur. Dolayısıyla Tablo 4.7’de verilen clock palsinden sonra alacağı değere göre geçiş tablosunun son hali hazırlanmış olur.

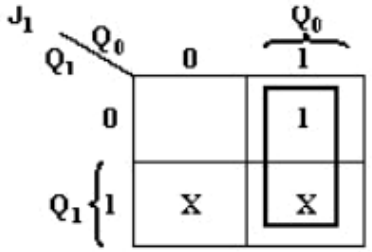
Geçiş tablosundaki her bir giriş Karno haritasına aktarılır ve çıkış ifadeleri yazılır.

Q_1	Q_0	J_1	K_1	J_0	K_0
0	0	0	X	1	X
0	1	1	X	X	1
1	0	X	0	1	X
1	1	X	1	X	1

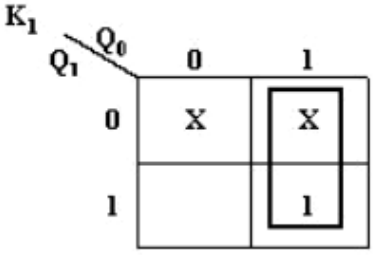
Tablo 4.8: Her çıkışa ait geçiş tablosu

Q_1	Q_0	J_1
0	0	0
0	1	1
1	0	X
1	1	X

Q_1	Q_0	K_1
0	0	X
0	1	X
1	0	0
1	1	1



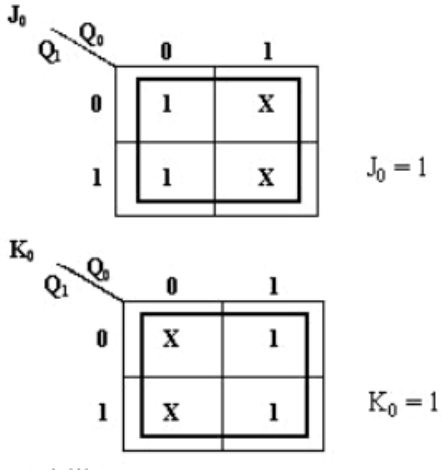
$J_1 = Q_0$



$K_1 = Q_0$

Q_1	Q_0	J_0
0	0	1
0	1	X
1	0	1
1	1	X

Q_1	Q_0	K_0
0	0	X
0	1	1
1	0	X
1	1	1



Tablo 4.9

Geçiş tablosundaki adımlar sırasıyla takip edildiğinde basit bir yapısı olduğu görülür. Buradaki tabloları hiçbir şekilde ezberlemeyiniz. Her tablo birbiri ile bağlantılı oluşturulmaktadır. Burada yapacağınız ezberler , karmaşıklıktan başka bir işe yaramayacaktır.

Burada hatırlatma olarak Karnaugh Harita (KH) olarak kısaltılacaktır. Kuralları hatırlatılacaktır.

1-KH giriş değişkenine göre kutulardan oluşur. N giriş değişkeni olmak üzere 2n kutu sayısını verir. Burada 22 =4 kutu olmalıdır.

2-KH hedef en çok 1'i gruplamaktır. Boş kutular 0 demektir. Dikkate alınmaz.

3-Gruplamalardaki kutu sayısı 1,2,4,8… şeklinde olmalıdır.

4-KH üzerinde çapraz gruplama olmaz. Guruplar alt alta ya da yan yana olmalıdır.

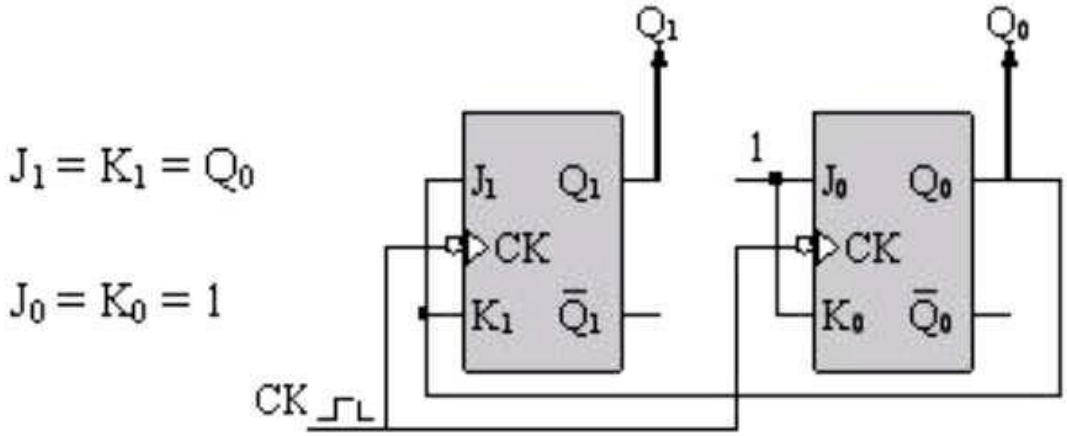
5-KH giriş değişkeninin her birinin ayrı ayrı veya çeşitli ortaklıklarla kesiştirilip Tablo 4.9 Karno tabloları kapsadığı alanlara bölge denir. Çıkış ifadesi yazılırken bölge gurubun hepsini içine almalı yada gurubun hepsini dışarıda bırakmalıdır. Bütün gurup bölgenin içinde ise bölgenin adıyla, dışında ise bilginin değili ile tanımlanır. Gruplama içerisindeki "1"lerden biri veya birkaçı bölge dışında kaldığında, o grup o bölge için dikkate alınmaz.

6-Her bir gurup çıkış ifadesinde çarpım (AND) şeklinde ifade edilir ve her gurup diğerinden bağımsız olarak ilgili bölge veya bölgeler ile tanımlanır.

7-Birden fazla gruplamaya sahip bir KH çıkış ifadesinde, gruplar toplama (OR) işlemine tabi tutulur.

8-KH tüm kutular "1" ise çıkış "1", tüm kutular "0" ya da boş ise çıkış "0" olacaktır.

9- Çıkış ifadelerine göre devre şeması çizilir.



Şekil.4.9: İki bitlik senkron ileri sayıcı devre şeması

4.2.2. İki Bitlik Senkron Geri Sayıcıların Karno Haritası İle Tasarlanması

- Yapılacak işlem basamakları şöyledir.

2 adet JK FF kullanılacak.
FF'lerin alacağı çıkış değerleri tablo şeklinde düzenlenir.

Onlu (Decimal)	Q_1	Q_0
3	1	1
2	1	0
1	0	1
0	0	0

Tablo 4.10: Çıkış değerleri

Her bir çıkışın clock palsinden sonra alacağı yeni değer Q+ olarak tabloya kaydedilir.

Q_1	Q_1	Q_{1+}
1	1	1
1	1	0
0	0	0
0	0	1

Q_0	Q_0	Q_{0+}
1	1	0
0	0	1
1	1	0
0	0	1

Tablo 4.11: Yeni değerler

Q1'in clk palsinden sonra alacağı değer Q1+ olarak; Q0'ın clock palsinden sonra alacağı değer Q0+ olarak kabul edilmiştir. Buna göre Q1+ yazılırken Q1 sütununda Q1'in hemen altındaki değer Q1+ olarak alınır.

Tasarımda kullanılacak FF'ye ait geçiş tablosundan, her bir çıkışın clock palsinden sonra alacağı değere göre geçiş tablosu düzenlenir.

Q	**Q+**	**J**	**K**
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 4.12: JK FF geçiş tablosu

	Q_1	Q_0	Q_1	Q_{1+}	Q_0	Q_{0+}	J_1	K_1	J_0	K_0
0	1	1	1	1	1	0	X	0	X	1
1	1	0	1	0	0	1	X	1	1	X
2	0	1	0	0	1	0	0	X	X	1
3	0	0	0	1	0	1	1	X	1	X

Tablo 4.13: Yeni değerlerin tespit edilmesi

Q_1	Q_0	J_1	K_1	J_0	K_0
1	1	X	0	X	1
1	0	X	1	1	X
0	1	0	X	X	1
0	0	1	X	1	X

Tablo 4.14: Her bir çıkışa ait geçiş tablosu

Tablo 4.13'de Q1 sütununda "1"in altında "1" olduğundan 0. satırda Q1+ "1" olur. JK FF geçiş tablosundan "1"den "1"e geçişte J= X ve K= 0 olduğu görülmektedir. # 1. satırda "1" olan Q1'in altında 0 olduğundan Q1+ 1. satıra "0" olarak yazılır. "1"den "0"a geçişte J=X ve K=1 olduğu görülmektedir. # 2. satırda "0" olan Q1'in altında "0" vardır. Bundan dolayı Q1+ 2. satıra "0" olarak yazılır. "0"dan "0"a geçişte J= 0 ve K=X olduğu görülmektedir. # 3. satırdaki "0" olan Q1'in devamında başa döndüğü için ilk satırda "1" olduğundan Q1+ 3. satıra "1" olarak yazılır. "0"dan "1"e geçişte J= 1 ve K= X olduğu görülmektedir. Böylece Q1 sütunun clk palsinden sonra alacağı değerlere göre geçiş tablosu tamamlanmış olur.

Aynı mantıkla Q0+ sütunu da doldurulur. Dolayısıyla Tablo 4.14'te verilen clock palsinden sonra alacağı değere göre geçiş tablosunun son hali hazırlanmış olur.

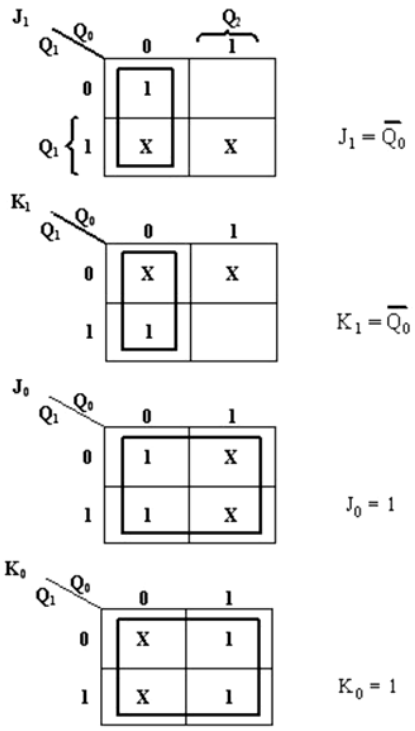
Geçiş tablosundaki her bir giriş Karno haritasına aktarılır ve çıkış ifadeleri yazılır.

Q_1	Q_0	J_1
1	1	X
1	0	X
0	1	0
0	0	1

Q_1	Q_0	K_1
1	1	0
1	0	1
0	1	X
0	0	X

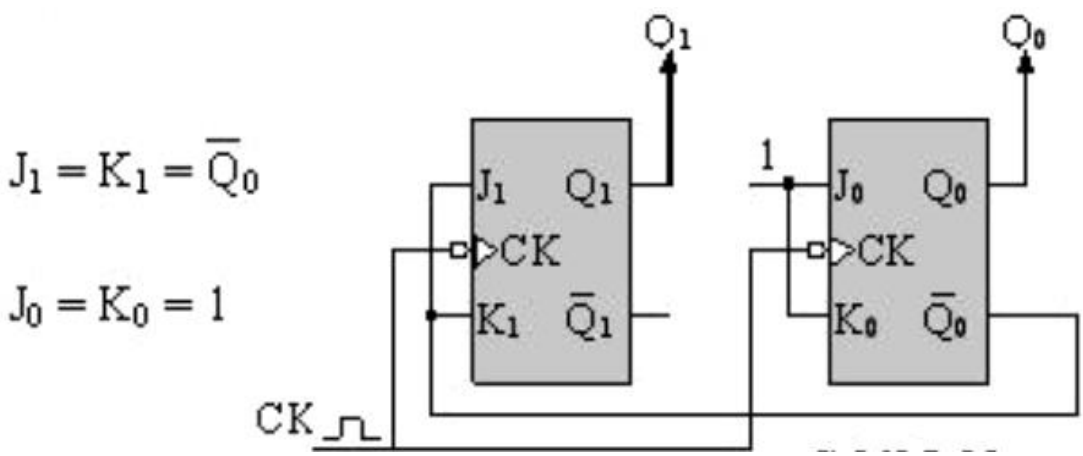
Q_1	Q_0	J_0
1	1	X
1	0	1
0	1	X
0	0	1

Q_1	Q_0	K_0
1	1	1
1	0	X
0	1	1
0	0	X



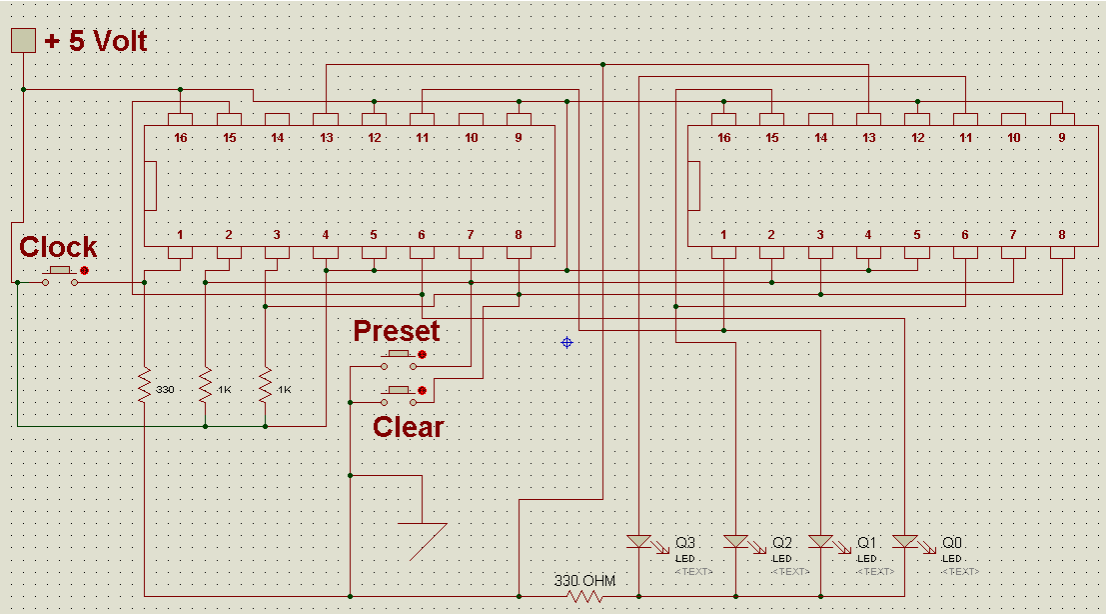
Tablo 4.15: Karno haritasına aktarılış ve sadeleştirme

Çıkış ifadelerine göre devre şeması çizilir.



Şekil.4.10: İki bitlik senkron geri sayıcı devresi

UYGULAMA FAALİYETİ



Clock	Q_3 2^3	Q_2 2^2	Q_1 2^1	Q_0 2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

İşlem Basamakları	Öneriler
➢ Yukarıdaki şekilde görülen devreyi kurunuz.	➢ Devreyi doğrudan deney borduna kurunuz. ➢ Clock, Preset ve Clear butonlarının basılı olmamasına dikkat ediniz. ➢
➢ Devreye enerji uygulayınız.	➢ Güç kaynağınızın sabit %V uçlarını kullanınız. ➢ Doğru gerilimin artı ve eksi uçlarına dikkat ediniz.
➢ Clear butonuna basarak çıkışları sıfırlayınız.	➢ Çıkışların tümünü aynı anda "0" yapmak için Clear (Reset) butonuna basınız.
➢ Preset butonuna basarak tüm çıkışların "1" olduğunu ve bütün LED'lerin yandığını gözleyiniz.	➢ Çıkıştaki tüm LED'lerin ışık verdiğine dikkat ediniz (Lojik "1").
➢ Clock butonuna art arda basınız.	➢ Her bir Clock uygulaması için Clock butonuna bir kere basıp bırakınız. ➢ On altı kere Clock uygulamak için Clock butonuna on altı defa basınız.
➢ Her basışta LED'lerin durumunu gözleyiniz.	➢ Çıkışların "1" olması demek; bu çıkışlara (Q0 - Q3) bağlı LED'lerin yanması demektir. ➢ Çıkış LED'lerinin yandığına dikkat ediniz.
➢ Kaç kere bastıktan sonra LED'lerin ilk hallerine döndüğünü gözleyiniz.	➢ Her Clock butonuna basışta çıkış LED'lerin durumlarını yukarıdaki tablo ile karşılaştırınız.
➢ Clock girişine kare dalga kaynağından bağlantı yapınız.	➢ 555 ile osilatör bağlantısını yaparak 3 nolu uçtan çıkış alınız. Bağladığınız pot ile Clock hızını kontrol ediniz.

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Verilen devreyi doğru bir şekilde kurabildiniz mi?		
2. Devreyi kurduktan sonra enerji uyguladınız mı?		
3. Tüm çıkışları sıfırlayabildiniz mi?		
4. Tüm çıkışları "1" yapabildin mi?		
5. Kare dalga kaynağını bağlayabildiniz mi?		

DEĞERLENDİRME

Değerlendirme sonunda "Hayır" şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız "Evet" ise "Ölçme ve Değerlendirme" ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki cümlelerin başında boş bırakılan parantezlere, cümlelerde verilen bilgiler doğru ise D, yanlış ise Y yazınız.

1) ( )Asenkron ileriye sayıcıda 1. FF'nin Q çıkışı 2. FF'nin CLK girişine bağlanır.

2) ( )Asenkron sayıcılarda CLK sinyali bütün FF'lere aynı anda uygulanır.

3) ( )Sayıcı devresi tasarımında JK tipi FF veya T tipi FF kullanmak en kullanışlı yöntemdir.

4) ( )Asenkron sayıcılarda CLK palsinin uygulandığı FF'nin bit derecesi en düşük değerlikli (LSB) olandır.

5) ( )Asenkron hekzadesimal sayıcı yapmak için 5 adet FF gerekir.

6) ( )Senkron ileriye sayıcıda 1. FF'nin Q çıkışı 2. FF'nin CLK girişine bağlanır.

7) ( )Senkron sayıcılarda CLK sinyali bütün FF'lere aynı anda uygulanır.

8) ( )Senkron sayıcılarda zaman gecikmesi yaşanmaz.

9) ( )Senkron sayıcılarda bit derecesi en düşük değerlikli (LSB) olan FF son FF'dir.

10) ( )Senkron Onlu sayıcı yapmak için 5 adet FF gerekir.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ–5

AMAÇ

Gerekli ortam sağlandığında kaydediciler ile ilgili uygulamaları yapabileceksiniz.

ARAŞTIRMA

- Seri giriş- seri/paralel çıkış kaydedicileri araştırınız.
- Seri giriş kaydedici entegreleri kataloglardan ve internetten araştırınız.
- Paralel giriş- seri/paralel çıkış kaydedicileri araştırınız.
- Paralel giriş kaydedici entegreleri kataloglardan ve internetten araştırınız.

5. KAYDEDİCİLER

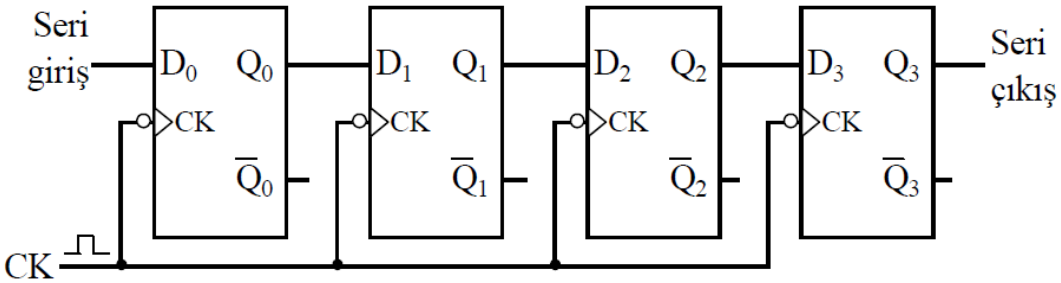
Bilgiyi geçici olarak depolayan, sağa veya sola kaydırabilen flip – flop'lardan (FF) oluşan devrelere kaydedici (register) denir.

- Bilgiyi transfer etmek için dört çeşit yöntem kullanılır.
  - Bunlar:

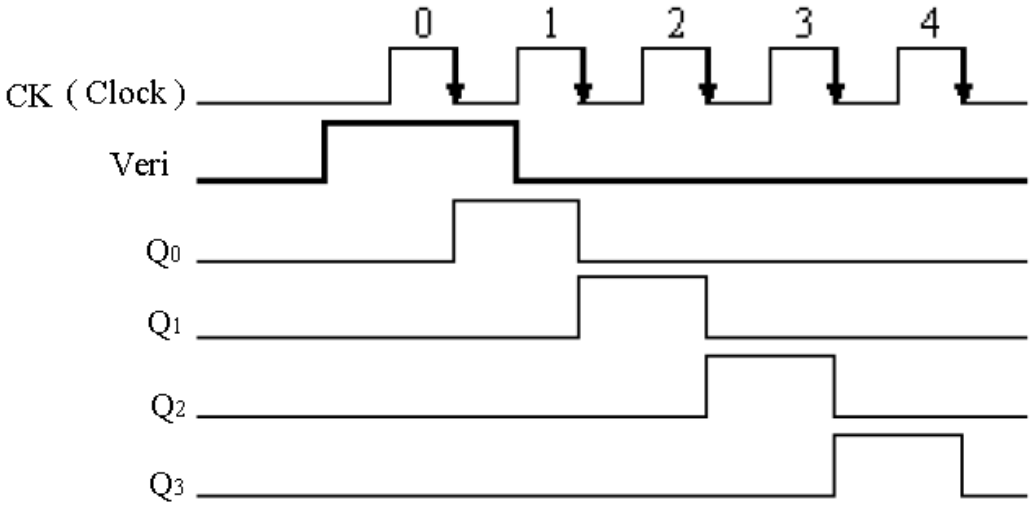
    - Seri giriş – seri çıkış
    - Seri giriş – paralel çıkış
    - Paralel giriş – paralel çıkış
    - Paralel giriş – seri çıkış

5.1. Seri Giriş – Seri Çıkış

Girişine uygulanan seri bilgiyi, seri olarak çıkışına taşıyan devreye seri girişli – seri çıkışlı devre denir. Flip – flop (FF) adedi kadar clock palsi (CK) uygulandığında girişteki tek bitlik bilgi çıkıştan alınır.



Şekil 5.1: Dört bitlik seri giriş – seri çıkış



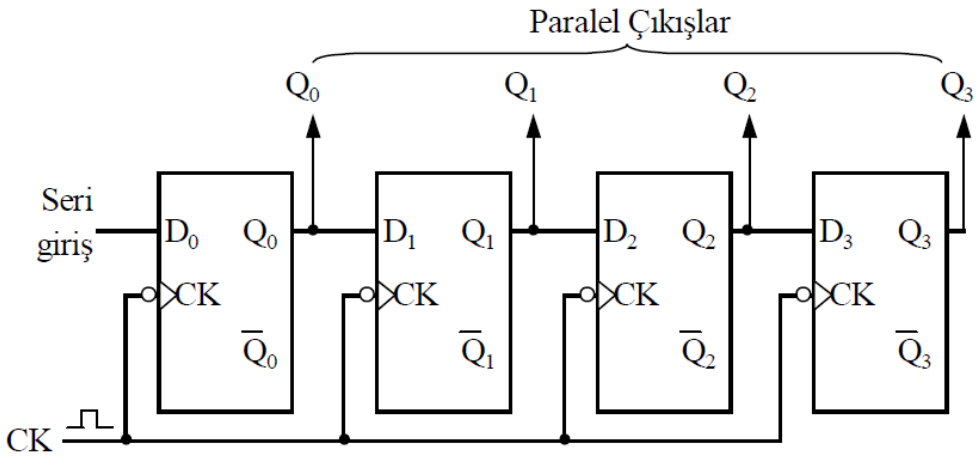
Şekil 5.2: Dört bitlik seri giriş – seri çıkış dalga şekli

Şekil 5.2'deki çıkış dalga şekli **Şekil 5.1'**de örnek olarak verilen dört bitlik seri giriş seri çıkış devresine aittir. **Şekil 5.2**'deki dalga şekli incelendiğinde; 0. CK (clock palsi) geldiğinde D0 girişinde "1" olduğundan Q0 çıkışı "1" olur. Diğer FF (Flip-Flop) girişleri "0" olduğundan çıkışları da "0" olur.

Giriş bilgisi (VERİ), 0. CK'den sonra sıfıra inmektedir. 1. CK uygulandığı sırada giriş bilgisi "0" olduğundan Q0 çıkışı "0" olur. D1 girişi "1" olduğundan Q1=1, diğerleri "0" olur. Girişten uygulanan "1" şeklindeki ilk VERİ bilgisi bu şekilde dört CK'den sonra son çıkışa (Q3) ulaşmış olur.

5.2. Seri Giriş – Paralel Çıkış

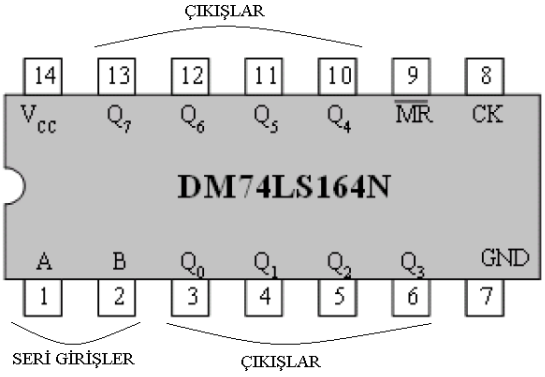
Girişine uygulanan seri bilgiyi, çıkışlarından paralel olarak veren devreye seri girişli-paralel çıkışlı devre denir. **Şekil 5.3**'te dört bitlik seri giriş – paralel çıkış devresi görülmektedir. Devrenin çalışma sistemi seri giriş – seri çıkış devresi ile aynıdır. Aradaki fark; **Şekil 1.4**'teki paralel çıkış devresinde paralel çıkış uçlarının bağlı olmasıdır. Böyle bir devreyi hem seri giriş – seri çıkış, hem de seri giriş – paralel çıkış olarak kullanmak mümkündür.



Şekil 5.3: Dört bitlik seri giriş – paralel çıkış

5.3. Seri Giriş Kaydedici Entegresi (DM74LS164N)

DM74LS164N entegresi seri girişli olup sekiz adet paralel çıkışa sahiptir.



Şekil 5.4: DM74LS164N entegresi

Tablo 1.1'de verilen doğruluk tablosunu **Şekil 5.4** verilen 74164 entegresinin ayak bağlantılarıyla birlikte inceleyelim. Öncelikle şunu belirtmekte fayda var, bir girişi aktif yapmak için duruma göre "0" veya "1" uygulamak gerekir. Girişi aktif yapacak değerin hangisi olduğunu (0/1) anlamanın en uygun yöntemi doğruluk tablosuna bakmaktır. Ancak bunu pratik olarak anlamanın bir yolu da entegre sembolünü incelemektir. **Şekil 5.4**'teki entegre sembolüne bakınız. 9 numaralı ayak olan MR ifadesinin üzerinde bir çizgi göreceksiniz. MR ucunu aktif yapmak için uygulanması gereken değer "0"dır. *RESET* (Master Reset – MR) girişinin görevi, aktif yapıldığında entegre çıkışlarını sıfırlamaktır. Buna göre 74164 entegresinin reset ucu "0" yapıldığında tüm çıkışlar "0" olur. Şimdi **Tablo 1.1**'e bakınız RESET satırının MR sütununda "0" olduğu için Q0 ve Q1-Q7 çıkışları "0" değerini almıştır. Aynı satırda A ve B değerlerinin karşısında "X" değeri vardır.

"X"in anlamı önemsizdir. Dolayısıyla entegre resetlendiğinde A ve B girişlerine girilen bilgilerin önemi yoktur.

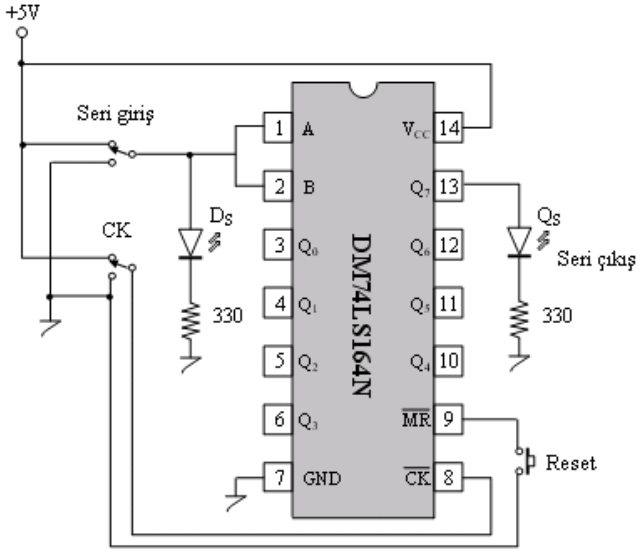
İŞLEM MODU	GİRİŞ			ÇIKIŞ	
	$\overline{MR}$	A	B	Q_0	Q1 - Q7
RESET	0	X	X	0	0 - 0
KAYDIRMA	1	0	0	0	Q_0 - Q6
	1	0	1	0	Q_0 - Q6
	1	1	0	0	Q_0 - Q6
	1	1	1	1	Q_0 - Q6

Tablo 5.1: DM74LS164N entegresinin doğruluk tablosu

Tablo 1.1'i inceleyecek olursak: KAYDIRMA işlemini gerçekleştirebilmek için MR girişinin mutlaka "1" olması gerekir. MR=1 iken A ve B uçlarına girilen bilgiler ilk CK'den sonra Q0 çıkışında görülür. Sonraki her CK'nin peşinden bilgiler kayarak bir sonraki çıkışa ilerler. Sekizinci clock palsinden sonra sekiz bitlik seri giriş bilgisi Q0-Q7 çıkışlarına yerleşir. Paralel çıkışlardaki bu bilgi ister paralel çıkışlardan istenirse de seri çıkıştan alınarak kullanılabilir.

5.3.1. DM74LS16N Entegresinin Seri Giriş-Seri Çıkış Olarak Kullanılması

DM74LS164N entegresi seri girişli olup sekiz adet paralel çıkışa sahiptir. Girilen seri bilgi, ilk CK'den sonra Q0 çıkışında görülür. Sonraki her CK'den sonra kayarak bir sonraki çıkışa ilerler. Sekizinci CK'den sonra Q7 çıkışından alınır. **Şekil 5.**'teki devrede görüldüğü gibi paralel çıkışlardan sadece sonuncusu (Q7) kullanıldığından, devre seri giriş – seri çıkış olarak çalışır.

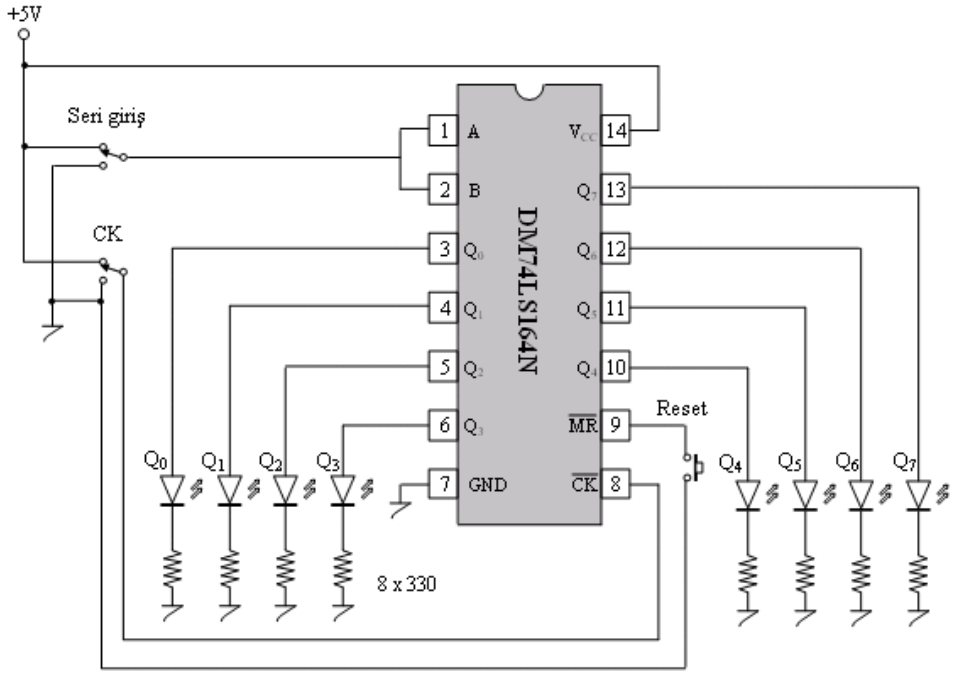


Şekil 5.5: DM74LS16N Entegresinin seri giriş-seri çıkış olarak kullanılması

5.3.2. DM74LS16N Entegresinin Seri Giriş - Paralel Çıkış Olarak Kullanılması

74164 entegresi seri girişli olup sekiz adet paralel çıkışa sahiptir. Girilen seri bilgi, ilk CK'den sonra Q0 çıkışında görülür. Sonraki her CK'den sonra kayarak bir sonraki çıkışa

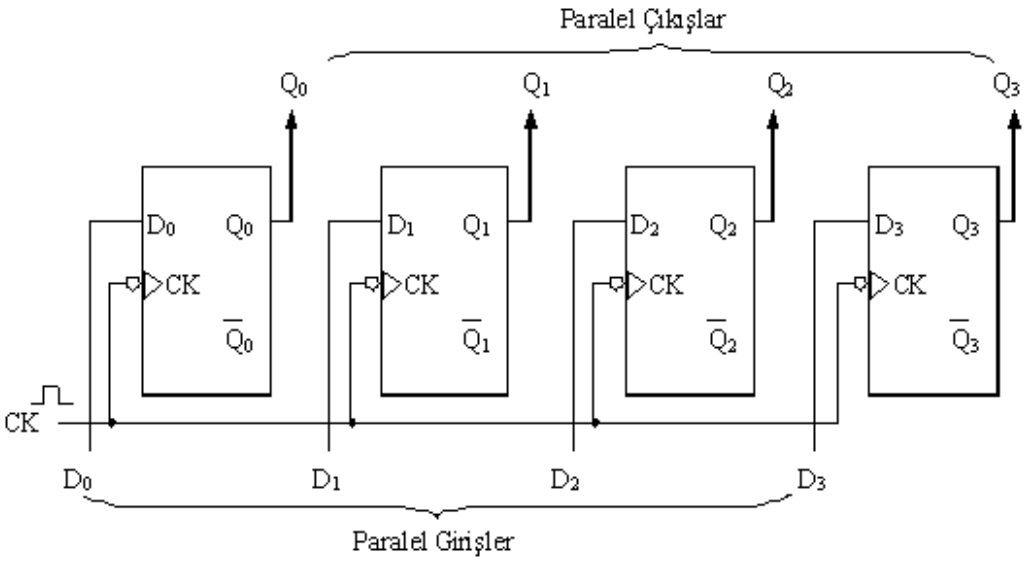
ilerler. Sekiz bitlik bir bilginin tamamını paralel çıkışlara yüklemek için, bitlerin "0" ya da "1" durumuna göre sırasıyla seri girişe tek tek bilgi girilir ve her bitlik bilginin peşinden CK uygulanır. Sekiz adet CK'den sonra seri girişteki sekiz bitlik bilginin tamamı paralel çıkışlara yüklenmiş olur.



Şekil 5.6: DM74LS16N entegresinin seri giriş - paralel çıkış olarak kullanılması

5.4. Paralel Giriş – Paralel Çıkış

Girişine uygulanan paralel bilgiyi, tek clock palsiyle paralel çıkışlarına yükleyen devreye paralel girişli – paralel çıkışlı devre denir.



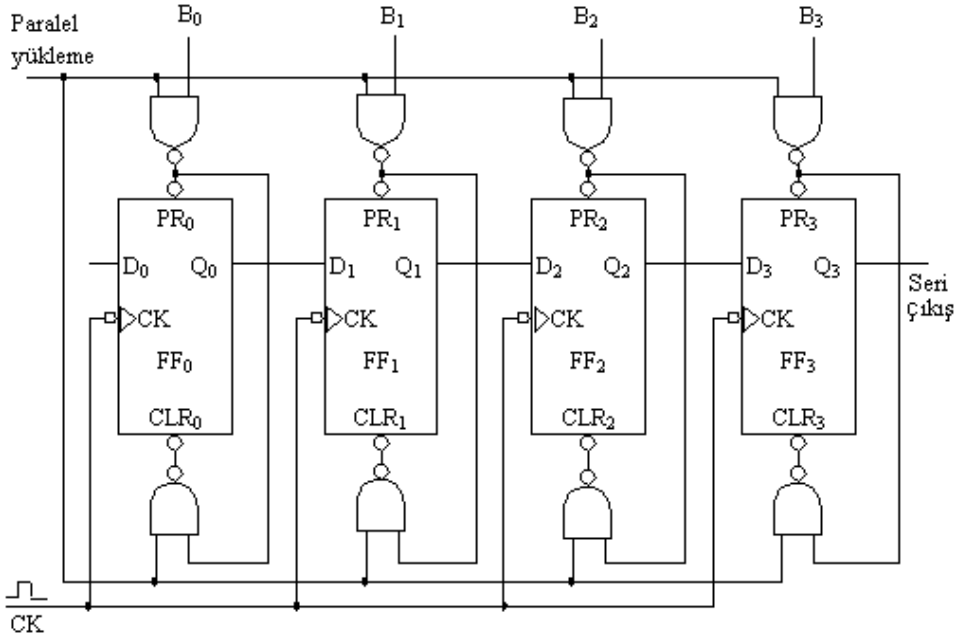
Şekil 5.7: Dört bitlik paralel giriş – paralel çıkış

Girişe uygulanan paralel bilgi, paralel çıkışlara tek CK ile yerleşir. Başka bir ifadeyle; bilginin tamamının çıkışa aktarılması için bir CK yeterlidir. Örneğin; **Şekil 2.1**'de verilen devrede 1011 bilgisini paralel çıkışlara yerleştirmek için D0=1, D1=0, D2=1, D3=1 yapılır.

Paralel girişlerde 1011 bilgisi bekler durumdayken CK uygulanır. CK uygulandıktan sonra 1011 bilgisi Q0=1, Q1=0, Q2=1, Q3=1 şeklinde paralel çıkışlardan alınır.

5.5. Paralel Giriş – Seri Çıkış

Girişine uygulanan paralel bilgiyi, seri çıkışından veren devreye paralel girişli – seri çıkışlı devre denir. Paralel girişteki bilgiyi seri çıkıştan alabilmek için FF sayısı kadar CK'ye ihtiyaç vardır. Örneğin, dört bitlik paralel bilginin tamamının seri çıkıştan alınabilmesi için dört CK gerekir. Son CK uygulandığında bilginin tamamı kaybolur. Eğer paralel bilginin son bitinin çıkışta kalması istenirse son CK uygulanmaz.



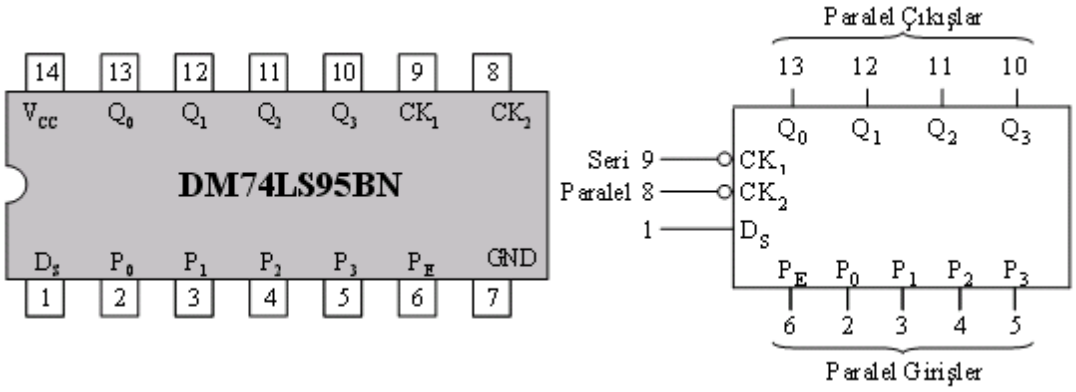
Şekil 5.8: Dört bitlik paralel giriş – seri çıkış

Şekil 5.8'deki blok şemada görüldüğü gibi FF'lerin CK girişleri paralel bağlandığı için devre senkron olarak çalışır. Paralel bilgi girişleri FF'lerin PR (preset) ve CLR (clear) girişlerine uygulanır. Paralel girişlerin etkin olabilmesi için paralel yükleme girişinin aktif (lojik – 0) yapılması gerekir. CK uygulanmadan önce D girişleri etkisizdir. CK aktif olduğu anda D girişindeki bilgi ilgili FF'nin çıkışına aktarılır, ancak PR ve CLR uçları CK'den bağımsızdır. Örneğin, **Şekil 2.2**'deki paralel girişlere 1101 bilgisi uygulanıp, seri olarak çıkıştan alınmak istenirse; B0=1, B1=1, B2=0, B3=1 olarak verilip paralel yükleme ucundan transfer palsi uygulanmalıdır. Bu durumda Q0=1, Q1=1, Q2=0, Q3=1 olarak FF çıkışlarına aktarılır.

Böylece dört bitlik paralel bilginin en sağındaki (en önemsiz) bit seri çıkıştan (Q3) alınır. Diğer üç bitlik paralel bilginin de çıkıştan alınabilmesi için üç CK daha uygulamak gerekir. Paralel yükleme palsi başlangıçta bir defaya mahsus verildikten sonra diğer üç CK **süresince kullanılmayacağından pasif durumdadır. Bu durumda VEDEĞİL (NAND) kapılarının çıkışları "1" olur. Dolayısıyla PR ve CLR girişleri FF'ler için önemsizdir. Bu durumda FF çıkışları D girişlerine göre konum değiştirir.**

5.6. Paralel Giriş Kaydedici Entegresi (DM74LS95BN)

7495 entegresi seri giriş – seri çıkış, seri giriş – paralel çıkış, paralel giriş – paralel çıkış, paralel giriş – seri çıkış olarak kullanıma uygundur; ancak dört bitlik olduğu için seri girişli devrelerde kullanımı avantajlı olmaz.



Şekil 5.9: DM74LS95BN entegresi ve bacak bağlantıları

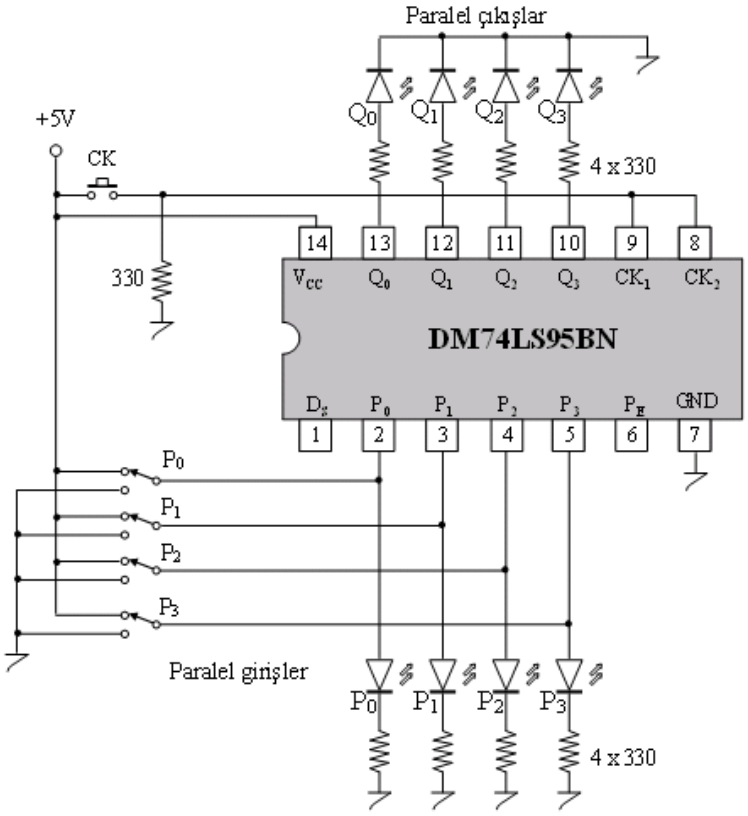
İŞLEM MODU	GİRİŞLER					ÇIKIŞLAR			
	P_E	CK_1	CK_2	DS	P_n	Q_0	Q_1	Q_2	Q_3
Kaydırma	0		X	0	X	0	Q_0	Q_1	Q_2
	0		X	1	X	1	Q_0	Q_1	Q_2
Paralel Yükleme	1	X		X	P_n	P_0	P_1	P_2	P_3
Değişim Modu		0	0	X	X	Değişmez			
		0	0	X	X	Değişmez			
		1	0	X	X	Değişmez			
		1	0	X	X	Belirsiz			
		0	1	X	X	Belirsiz			
		0	1	X	X	Değişmez			
		1	1	X	X	Belirsiz			
		1	1	X	X	Değişmez			

Tablo 5.2: DM74LS95BN entegresinin doğruluk tablosu

7495 entegresinin 1 numaralı ayağı seri bilgi (DS) girişidir. CK, seri girişler için 9 numaralı ayağa, paralel girişler için 8 numaralı ayağa uygulanır. Eğer sadece seri ya da paralel girişlerden birisi tercih edilecekse 8 ve 9 numaralı ayakların birleştirilmesinin sakıncası olmaz. Entegrenin 6 numaralı ayağı (PE) “0” yapıldığında seri giriş kullanılır ve kaydırma işlemi yapar. Paralel girişleri paralel çıkışlara aktarmak için PE=1 yapılmalıdır (PE boş bırakıldığında “1” olarak kabul görür.).

5.6.1. DM74LS95BN Entegresinin Paralel Giriş–Paralel Çıkış Olarak Kullanılması

7495 entegresini paralel giriş – paralel çıkış olarak kullanmak için Şekil 5.10'daki devre kurulur. Girilecek paralel giriş bilgileri P0-P3 anahtarları ile ayarlanır. Örneğin, 1010 bilgisini girmek için; P0=1, P1=0, P2=1, P3=0 yapılır. Paralel yükleme için Tablo 2.1'e göre PE=1 olmalıdır. PE ucu boşta bırakılarak "1" olması sağlanmıştır. Seri bilgi girişi yapılmayacağı için DS ucu kullanılmamıştır. Paralel giriş bilgileri P0-P3 anahtarları ile ayarlandıktan sonra bu bilgileri paralel çıkışlara aktarmak için bir CK uygulanması yeterlidir. CK butonuna basılıp bırakıldığında girişler, paralel çıkışlara yüklenir ve Q0=1, Q1=0, Q2=1, Q3=0 olur.

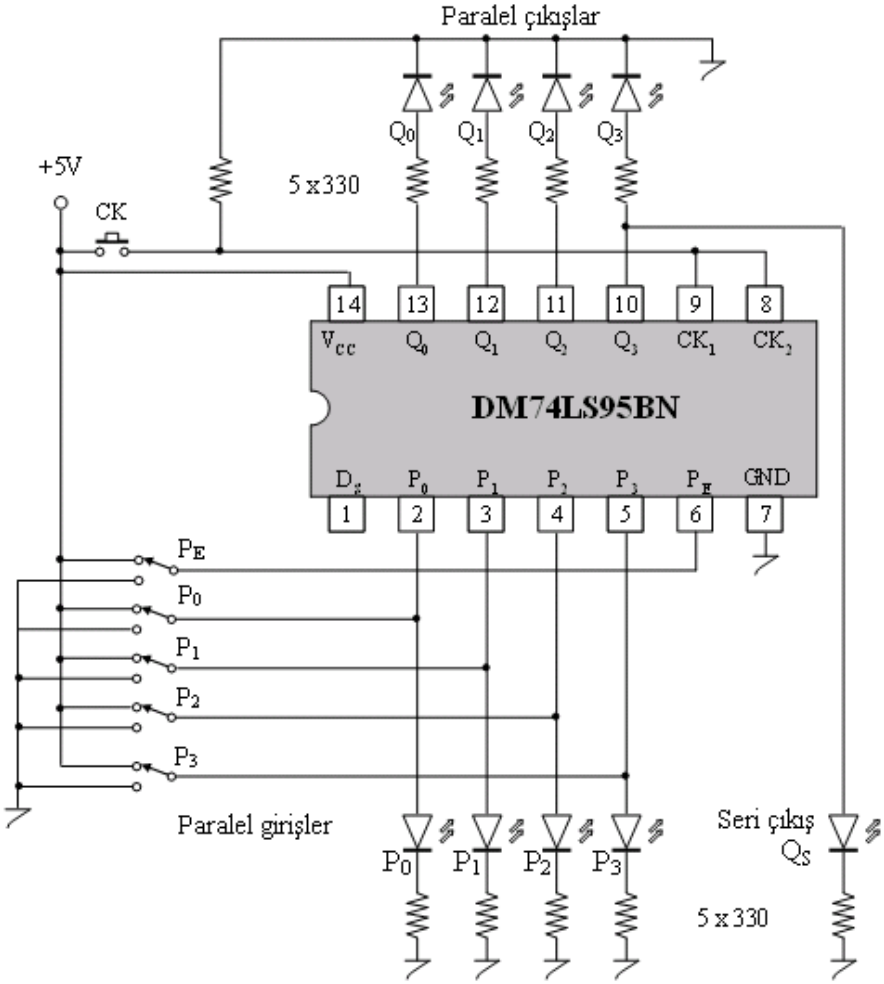


Şekil 5.10: DM74LS95BN entegresinin paralel giriş-paralel çıkış olarak kullanılması

5.6.2. DM74LS95BN Entegresinin Paralel Giriş–Seri Çıkış Olarak Kullanılması

Şekil 5.11'de verilen devre şeması 7495 entegresi ile düzenlenmiştir. CK, birleştirilen 8 ve 9 numaralı uçlara uygulanır. Paralel girişlerdeki bilgiyi seri çıkışa aktarmak için, bilginin önce paralel çıkışlara yüklenmesi gerekir. Bunun için entegrenin 6 numaralı ucu (PE) "1"yapılır ve ilk CK uygulanır. İlk CK'nin ardından paralel girişler, paralel çıkışlara aktarılır.

Paralel çıkışlardaki bilgiyi, sırasıyla seri çıkıştan almak için entegreyi seri girişli olarak kullanmak gerekir. Bu nedenle PE =0 yapılır. DS ucu boşta bırakıldığında "1" olarak varsayılır. Yüklü durumdaki paralel bilgiler, seri çıkışa gönderilirken paralel bilgilerin yerini alacak yeni bilgilerin önemi yoksa DS ucu boşta kalabilir. Eğer belli bir bilgi ile yenilenmesi gerekiyorsa, bu durumda yeni bilgiler DS ucu kullanılarak girilir ve her bir bit için CK uygulanır. Uygulanan her CK'de bilgiler bir sonraki FF'ye kayar.



Şekil 5.11: DM74LS95BN entegresinin paralel giriş-seri çıkış olarak kullanılması

UYGULAMA FAALİYETİ

İşlem Basamakları	Öneriler
➢ Şekil 5.11'deki devreyi kurunuz.	➢ Devreyi doğrudan deney bordu üzerine kurunuz.
➢ Devreye enerji, uygulayınız.	➢ Güç kaynağınızın sabit 5V uçlarını kullanınız. ➢ Gerilimin tam 5V olmasına dikkat ediniz.
➢ Devreyi paralel yükleme moduna getiriniz.	➢ Çıkışların tümünü aynı anda "0" yapmak için paralel girişlerden, paralel çıkışlara "0" yükleyiniz. ➢ P0=0, P1=0, P2=0, P3=0 yapınız. ➢ CK butonuna basıp bırakınız ve çıkış LED'lerinin söndüğüne dikkat ediniz.
➢ Paralel çıkışlara 1010 bilgisini yükleyiniz.	➢ PE=1, ve P0=1, P1=0, P2=1, P3=0 yapınız. ➢ CK butonuna basıp bırakınız. ➢ Q0=1, Q1=0, Q2=1, Q3=0 olduğuna dikkat ediniz.
➢ Paralel çıkışlarda yüklü olan 1010 bilgisini seri çıkıştan (Q3) alınız.	➢ PE anahtarını "0" konumuna getiriniz. ➢ CK uygulamadan önce Q3=0 olduğuna dikkat ediniz. ➢ İlk CK'yı uygulayınız ve Q3=1 olduğuna dikkat ediniz. ➢ İkinci CK'yı uygulayınız ve Q3=0 olduğuna dikkat ediniz. ➢ Üçüncü CK'yı uygulayınız ve Q3=1 olduğuna dikkat ediniz (1010 bilgisini sırasıyla seri çıkışta gördünüz, eğer bir CK daha uygularsanız son biti de ➢ göndermiş olursunuz.).

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için Evet, kazanamadığınız beceriler için Hayır kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Şekil 5.11 deki devreyi doğru şekilde kurabildiniz mi?		
2. Devreyi kurduktan sonra enerji uyguladınız mı?		
3. Devreyi paralel yükleme moduna getirebildiniz mi?		
4. Çıkışların tümünü sıfırlayabildiniz mi?		
5. Paralel çıkışlara 10101 bilgisini yükleyebildiniz mi?		
6. Paralel çıkışlarda yüklü olan 10101 bilgisini seri çıkıştan alabildiniz mi?		

DEĞERLENDİRME

Değerlendirme sonunda "Hayır" şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız "Evet" ise "Ölçme ve Değerlendirme"ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1) ( ) Seri giriş – seri çıkış bilgiyi transfer etme yöntemlerindendir.
2) ( ) Dört bitlik seri bilgiyi paralel çıkışlardan alabilmek için beş adet CK uygulamak gerekir.
3) ( ) Kaydedici devrelerde D tipi FF kullanmak en kullanışlı yöntemdir.
4) ( ) 74164 entegresi seri giriş – seri çıkış olarak kullanılabilir.
5) ( ) 74164 entegresi seri giriş – paralel çıkış olarak kullanılabilir.
6) ( ) 74164 entegresi paralel giriş – paralel çıkış olarak kullanılabilir.
7) ( ) 74164 entegresi paralel giriş – seri çıkış olarak kullanılabilir.
8) ( ) Entegre sembolünde herhangi bir giriş ucunda küçük bir daire varsa, buraya“1” uygulandığında aktif olacağı anlaşılır.
9) ( ) Entegre sembolü üzerinde Q yazan ayaklar çıkış uçlarıdır.
10) ( ) 74164 entegresinde seri giriş için A ve B uçları kesinlikle birleştirilemez.
11) ( ) Paralel giriş – paralel çıkış bilgiyi transfer etme yöntemlerinden değildir.
12) ( ) Dört bitlik paralel bilgiyi paralel çıkışlardan alabilmek için dört adet CK uygulamak gerekir.
13) ( ) Dört bitlik seri bilgiyi paralel çıkışlardan alabilmek için sadece bir CK uygulamak yeterlidir.
14) ( ) 7495 entegresi seri giriş – seri çıkış olarak kullanılabilir.
15) ( ) 7495 entegresi seri giriş – paralel çıkış olarak kullanılabilir.
16) ( ) 7495 entegresi paralel giriş – paralel çıkış olarak kullanılabilir.
17) ( ) 7495 entegresi paralel giriş – seri çıkış olarak kullanılabilir.
18) ( ) 7495 entegresinde paralel yükleme yapmak için PE=1 olmalıdır.
19) ( ) Girişteki bilgiyi seri çıkışa aktarmak için, bilginin önce paralel çıkışlara yüklenmesi zaman kaybıdır ve gereksizdir.
20) ( ) 7495 entegresinin 8 ve 9 numaralı CK uçları kesinlikle birleştirilemez.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise “Modül Değerlendirme”ye geçiniz.

MODÜL DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1) (3+5)10 =(_ _ _ _)2 toplam işleminin ikilik sistemdeki sonucu aşağıdakilerden hangisidir.
A) 0008 B) 1000 C) 1010 D) 0100

2) 4 bitlik toplam yapan entegre aşağıdakilerden hangisidir.
A) 74285 B) 7483 C) 7485 D) 74284

3) Bir bitlik iki sayının toplamını bulan devrenin adı nedir?
A) Tam toplayıcı B) Yarım toplayıcı
C) Yarım çıkarıcı D) Karno haritası

4) Bir bitlik iki sayıyı birbirinden çıkaran devre aşağıdakilerden hangisidir?
A) Tam çıkarıcı B) Yarım çıkarıcı
C) Tam toplayıcı D) Çarpıcı

5) Kod çözücünün girişi hangi sayı sistemidir ?
A) 2 B)8 C)10 D)16

6) Kod çözücüde 3 giriş varsa kaç çıkış bulunur ?
A) 3 B)6 C)8 D)10

7) Kod çözücü devre hangi devrelerin tersini yapar?
A) Kod çevirici B)Kodlayıcı C)Çoklayıcı D)Azaltıcı

8) 10 ile 16 arasındaki sayılar hangi kod çözücüde kullanım dışıdır?
A) İki girişli B)Oktal
C) BCD D)Hekzadesimal

9) Aşağıdakilerden hangisi RS flip-flop için belirsizlik durumudur?
A) R=0, S=0
B) R=1, S=1
C) R=0, S=1
D) R=1, S=0

10) RS flip-flobun girişlerinden R=0 ve S=0 verdiğimizde çıkış ne olur?
A) ”0” olur.
B) “1” olur.
C) Çıkış değişmez.
D) Bir önceki çıkışın tersi olur.

11) Aşağıdakilerden hangisi flip- flopların tetikleme şekillerindendir?

A) Düz tetikleme
B) İnen kenar tetiklemesi
C) Ters tetikleme
D) “0” tetiklemesi

12) JK flip-flobun çıkışının, bir önceki çıkışın tersi olması için girişleri aşağıdakilerden hangisi olmalıdır?

A) J=1, K=1
B) J=0, K=1
C) J=1, K=0
D) J=0, K=0

Aşağıdaki cümlelerin başında boş bırakılan parantezlere, cümlelerde verilen bilgiler doğru ise D, yanlış ise Y yazınız.

13) ( ) Asenkron ileriye sayıcıda 1. FF’nin Q çıkışı 2.FF’nin CLK girişine bağlanır.

14) ( ) Asenkron sayıcılarda CLK sinyali bütün FF’lere aynı anda uygulanır.

15) ( ) Sayıcı devresi tasarımında JK tipi FF veya T tipi FF kullanmak enkullanışlı yöntemdir.

16) ( ) Senkron sayıcılarda CLK palsinin uygulandığı FF’nin bit derecesi en düşük değerlikli (LSB) olandır.

17) ( ) Asenkron heksadesimal sayıcı yapmak için 5 adet FF gerekir.

18) ( ) Seri giriş – seri çıkış bilgiyi transfer etme yöntemlerindendir.

19) ( ) Dört bitlik seri bilgiyi paralel çıkışlardan alabilmek için beş adet CK uygulamak gerekir.

20) ( ) Kaydedici devrelerde D tipi FF kullanmak en kullanışlı yöntemdir.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki modüle geçmek için öğretmeninize başvurunuz.

CEVAP ANAHTARLARI

ÖĞRENME FAALİYETİ-1'İN CEVAP ANAHTARI

1	B
2	B
3	B
4	B
5	C
6	C
7	A
8	Y
9	D
10	D
11	D
12	D
13	D
14	D
15	D
16	D
17	Y

ÖĞRENME FAALİYETİ-2'NİN CEVAP ANAHTARI

1	A
2	C
3	C
4	B
5	D
6	C
7	D
8	A
9	C
10	B
11	C
12	B
13	C
14	A
15	A
16	A
17	C
18	A
19	B
20	D

ÖĞRENME FAALİYETİ-3'ÜN CEVAP ANAHTARI

1	**C**
2	**B**
3	**B**
4	**C**
5	**C**
6	**A**
7	**A**
8	**D**
9	**A**
10	**D**

ÖĞRENME FAALİYETİ-4'ÜN CEVAP ANAHTARI

1	**D**
2	**Y**
3	**D**
4	**D**
5	**Y**
6	**Y**
7	**D**
8	**D**
9	**Y**
10	**Y**

ÖĞRENME FAALİYETİ-5'İN CEVAP ANAHTARI

1	**D**
2	**Y**
3	**D**
4	**D**
5	**D**
6	**Y**
7	**Y**
8	**Y**
9	**D**
10	**Y**
11	**Y**
12	**Y**
13	**Y**
14	**D**
15	**D**
16	**D**
17	**D**
18	**D**
19	**Y**
20	**Y**

MODÜL DEĞERLENDİRMENİN CEVAP ANAHTARI

1	**B**
2	**B**
3	**B**
4	**B**
5	**A**
6	**C**
7	**B**
8	**C**
9	**B**
10	**C**
11	**C**
12	**A**
13	**D**
14	**Y**
15	**D**
15	**D**
17	**Y**
18	**D**
19	**Y**
20	**D**

KAYNAKÇA

- BOYLESTAD Robert, **Elektronik Elemanlar ve Devre Teorisi,** MEB Yayınları, Ankara, 1994.
- FLOYD Thomas, **Elektronic Devices**, Macmillan Yayınları, New Jersey, 1996.
- BEREKET Metin, **Atölye ve Laboratuvar 1**, Mavi Kitaplar, İzmir, 2004.
- http://www.picproje.org/index.php?topic=10206.0 Nisan 2012.
- MEB, Bilişim Teknolojileri Alanı, Kaydediciler Modülü, Ankara, 2011.
- MEB, Bilişim Teknolojileri Alanı, Sayıcılar Modülü, Ankara, 2011.
- MEB, Bilişim Teknolojileri Alanı, Flip-Floplar Modülü, Ankara, 2011.
- MEB, Bilişim Teknolojileri Alanı, Tümleşik Devre Elemanları Modülü, Ankara, 2011.
- MEB, Bilişim Teknolojileri Alanı, Aritmetik Devreler Modülü, Ankara, 2011.
- MANO M. Morris, **Sayısal Tasarım**, Litaratür Yayınları, İstanbul, Eylül 2003.